

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-348859

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

G06F 15/72

(21)Application number : 05-140725

(71)Applicant : RICOH CO LTD

(22)Date of filing : 11.06.1993

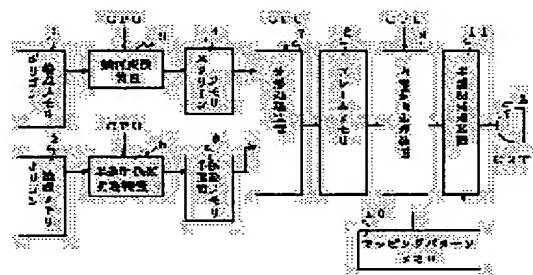
(72)Inventor : SHIRAISHI NAOHITO  
FUJII TATSUYA  
FUKUSHIMA MASANOBU  
NAKAJIMA TATSUYA  
IZAWA YASUHIRO

## (54) STEREOSCOPIC PICTURE PROCESSOR

## (57)Abstract:

**PURPOSE:** To provide a stereoscopic picture processor in which a pattern and a semi-transparent single color can be simultaneously applied to a polygon surface at a high speed.

**CONSTITUTION:** This device is equipped with a memory 1 which stores the X and Y end point information of a polygon and mapping pattern information indicating a basic pattern area appended to the polygon surface, a memory 2 which stores a normal vector group and the transparent relation coefficient of each polygon, geometry converter 3 which converts each end point information from the memory 1, a semi-transparent coefficient processor 5 which calculates a semi-transparent coefficient from the normal vector group and a light source vector or the like, an outline processor 7 which converts the address information of a polygon outline, mapping pattern end point information, and semi-transparent coefficient value from the semi-transparent coefficient processor based on each end point information from the geometry converter 3, inside plotting processor 9 which calculates the mapping pattern information and the semi-transparent coefficient value from the device 7, and semi-transparency processor 11 which multiplies the information from the device 9 and a color value from a mapping pattern memory 10 by the semi-transparent coefficient, and outputs picture data through a semi-transparent and a semi-transparent polygon.



## LEGAL STATUS

[Date of request for examination]

09.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**THIS PAGE BLANK (USPTO)**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

**THIS PAGE BLANK (USPTO)**

(11)特許出願公開番号

(43)公開日 平成6年(1994)12月22日

A 9192-5L

審査請求 未請求 請求項の数 1 O L (全 29 頁)

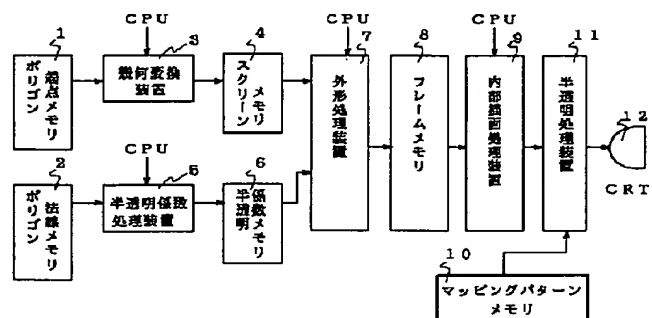
[最終頁に続く](#)

(54) 【発明の名称】 立体画像処理装置

(57) 【要約】 (修正有)

【目的】 ポリゴン面に模様と半透明単一色を高速に且つ同時に行える立体画像処理装置を提供する。

【構成】 ポリゴンのX、Y端点情報及びポリゴン面に付与する基本パターン領域を示すマッピングパターン情報を格納するメモリ1、法線ベクトル群及び各ポリゴンの透明関係係数を格納するメモリ2と、メモリ1からの各端点情報を変換する幾何変換装置3と、法線ベクトル群と光源ベクトルなどから半透明係数値を算出する半透明係数処理装置5と、幾何変換装置3の各端点情報に基づき、ポリゴン外形のアドレス情報、マッピングパターン端点情報及び半透明係数処理装置からの半透明係数値を変換する外形処理装置7と、この装置7からマッピングパターン情報及び半透明係数値を算出する内部描画処理装置9と、この装置9からの情報及びマッピングパターンメモリ10からの色値と半透明係数値を乗算し、半透明及び半透明ポリゴンを通した画像データを出力する半透明処理装置11と、を備える。



## 【特許請求の範囲】

【請求項 1】 ポリゴンを構成する X、Y の端点情報及びポリゴン面に付与する模様の基本パターンの領域を示す内部パターン端点情報を格納する第 1 メモリと、各ポリゴンの法線ベクトル群及び各ポリゴンの透明関係係数を格納する第 2 メモリと、第 1 メモリからの各端点情報を幾何変換する幾何変換装置と、法線ベクトル群と光線ベクトル及び視線ベクトルからポリゴンの半透明状態を示す半透明係数値を算出する半透明係数処理装置と、上記幾何変換装置からの各端点情報に基づいて、ポリゴン外形のアドレス情報、内部パターン端点情報及び半透明係数処理装置からの半透明係数値を、スキャンラインごとにポリゴン外形部分の情報にそれぞれ変換する外形処理装置と、上記外形処理装置にて算出された対向する 2 辺間の各アドレス情報を演算し、ポリゴン内部の内部パターン情報及び半透明係数値の各情報を算出する内部描画処理装置と、上記基本パターンのルックアップテーブルを構成する内部パターンメモリと、上記内部描画処理装置から与えられる情報に基づき上記内部パターンメモリをアクセスし、このメモリから得られる色値と半透明係数値を乗算し、半透明ポリゴンの画像データ及び半透明ポリゴンを通したポリゴンの画像データを出力する半透明処理装置と、この半透明処理装置からの画像データを表示する表示装置と、を備えて成る立体画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、立体を表現した 3 次元画像において、半透明な立体を表示する立体画像処理装置に関する。

## 【0002】

【従来の技術】 CRT デイスプレイ等の 2 次元（平面）表示装置に 3 次元立体図形を透視変換処理、遠近処理等によって表示する場合に、スキャンラインアルゴリズムを使用し、屈折を無視して半透明の物体を表示する方法が知られている。このアルゴリズムの手法としては、その濃淡づけの計算が、次の数式 1 に基づいて行われる。

## 【0003】

【数 1】  $I = K I_1 + (1 - K) I_2$

ここで、

K : 透明係数

$I_1$  : ポリゴン色

$I_2$  : 半透明ポリゴン色 である。

【0004】 一方、表示される各多面体（ポリゴン）に模様を付加するいわゆるマッピング処理を行う画像処理装置が提案されている。（特願平 3 - 2 5 4 5 7 3 号参照）

【0005】 この画像処理装置によれば、ポリゴンの外形の変化に対応して、ポリゴン内部に付加する模様を変化させ、ポリゴンに模様を付加することができる。

## 【0006】

## 【発明が解決しようとする課題】

【0007】 しかしながら、ポリゴン内部に模様等を付加する従来の画像処理装置においては、半透明のポリゴンであっても単色に塗りつぶす処理しかできず、半透明ポリゴンのリアルな表示ができないという問題があった。

【0008】 この発明は上述した従来の問題に鑑みなされたものにして、ポリゴン面に模様が付加されたものと単一色半透明ポリゴンの表示を高速に且つ同時に行うことができる立体画像処理装置を提供することを目的とする。

## 【0009】

【課題を解決するための手段】 この発明の立体画像処理装置は、ポリゴンを構成する X、Y の端点情報及びポリゴン面に付与する模様の基本パターンの領域を示す内部パターン端点情報を格納する第 1 メモリと、各ポリゴンの法線ベクトル群及び各ポリゴンの透明関係係数を格納する第 2 メモリと、第 1 メモリからの各端点情報を幾何変換する幾何変換装置と、法線ベクトル群と光線ベクトル及び視線ベクトルからポリゴンの半透明状態を示す半透明係数値を算出する半透明係数処理装置と、上記幾何変換装置からの各端点情報に基づいて、ポリゴン外形のアドレス情報、内部パターン端点情報及び半透明係数処理装置からの半透明係数値を、スキャンラインごとにポリゴン外形部分の情報にそれぞれ変換する外形処理装置と、上記外形処理装置にて算出された対向する 2 辺間の各アドレス情報を演算し、ポリゴン内部の内部パターン情報及び半透明係数値の各情報を算出する内部描画処理装置と、上記基本パターンのルックアップテーブルを構成する内部パターンメモリと、上記内部描画処理装置から与えられる情報に基づき上記内部パターンメモリをアクセスし、このメモリから得られる色値と半透明係数値を乗算し、半透明ポリゴンの画像データ及び半透明ポリゴンを通したポリゴンの画像データを出力する半透明処理装置と、この半透明処理装置からの画像データを表示する表示装置と、を備えて成る。

## 【0010】

【作用】 この発明は、各ポリゴン端点に模様のためのマッピングの X、Y アドレスとポリゴンの半透明状態を示す半透明係数情報を持たせ、そのマッピングの X、Y アドレスと半透明係数情報に基づいて算出した透明係数により、半透明ポリゴンの色を示す画像データと半透明ポリゴンを通したポリゴンの画像データを同時に補間することにより、高速にマッピングと半透明感を与えて、CRT にリアルタイムに表示することができる。

## 【0011】

【実施例】 以下、この発明の実施例につき図面を参照して説明する。

【0012】 図 1 はこの発明を用いた疑似 3 次元画像処



理装置の全体構成を示すブロック図であり、この装置は例えば、レーシングゲームや飛行機の操縦シュミレーション等のゲーム用機器に用いて好適な一例が示されている。図 1 に従いこの発明の全体構成につき説明する。

【 0 0 1 3 】 この実施例においては、各種条件のシュミレーション画像を複数のポリゴン情報として、ポリゴン端点メモリ 1 に端点情報が X, Y, Z 座標値として与えられる。更にこのポリゴン端点メモリ 1 には、ポリゴン面に付与する模様の基本パターンのマッピングパターン領域を示す端点情報が格納される。

【 0 0 1 4 】 また、各ポリゴン端点の法線ベクトル値 (NX, NY, NZ) はポリゴン法線メモリ 2 に格納されている。このベクトルメモリ 2 には、更に各ポリゴンの面法線と視線ベクトルの関係係数 ( $K_1$ )、光線ベクトルと面法線の関係係数 ( $K_2$ ) の環境光などによる透明係数 ( $K_3$ ) を格納している。これら各データは半透明係数処理装置 5 に与えられる。

【 0 0 1 5 】 CPU は、あらゆる立体物 (オブジェクト) を複数のポリゴンの集合体として表現し、このポリゴンの各端点を示す端点情報を読み出し、ハンドルアクセス等で構成された操作部 (図示しない) の操作内容に基づいて変換された電気信号に従いこの状況に応じた状況データを演算し、幾何変換装置 3 及び半透明係数処理装置 5 に夫々データを与える。

【 0 0 1 6 】 幾何変換装置 3 は、CPU からの命令に従い各種ポリゴンデータを参照しながら、ポリゴン端点メモリ 1 から各ポリゴンの端点情報をデータを読み出し、ポリゴンの端点の値を視線方向に回転する視野変換、透視投影変換により各ポリゴンの端点座標を幾何変換し、その X, Y の 2 次元のスクリーンデータをスクリーンメモリ 4 に与える。また、ポリゴン中心の視野変換された代表値、すなわち、そのポリゴンの視点からの距離の代表値 (Z 値) を決定し、そのデータをスクリーンメモリ 4 に与える。

【 0 0 1 7 】 半透明係数処理装置 5 は、ポリゴン法線メモリ 2 より読み出したポリゴン接点の法線ベクトル値に対して半透明係数演算を行い、ポリゴン端点の半透明係数値を算出し、このポリゴン端点の半透明係数値を半透明係数メモリ 6 に与える。この半透明係数処理装置 5 の詳細については後述する。

【 0 0 1 8 】 外形処理装置 7 は、スクリーンメモリ 4 からのポリゴンを構成する各辺の端点、すなわち X の始点アドレス (XS)、終点アドレス (XE)、及び Y の始点アドレス (YS)、終点アドレス (YE)、並びに、基本パターンを構成するマッピングパターンの始点アドレス (MXS)、X 終点アドレス (MXE)、Y 始点アドレス (MYS)、Y 終点アドレス (MYE) を取り込むと共に、半透明係数メモリ 6 から半透明係数値データ (TPS, TPE) を取り込む。

【 0 0 1 9 】 そして、この外形処理装置 7 は、ポリゴン

の外形処理のために、各辺の外形端点情報、マッピングパターンのアドレス及び半透明係数値を補間しながら算出し、その算出した各データをフレームメモリ 8 に与える。この外形処理装置 7 の詳細については、後述する。

【 0 0 2 0 】 そして、フレームメモリ 8 には、外形処理装置 7 より与えられた各データ、すなわち、水平ライン (スキャンライン) ごとにポリゴンの左辺 X、右辺 X の値と左辺のマッピングメモリアドレス、右辺のマッピングメモリアドレスと左辺の半透明係数値、右辺の半透明係数値が夫々格納されている。

【 0 0 2 1 】 フレームメモリ 8 に格納されている各データは内部描画処理装置 9 へ与えられ、内部描画処理装置 9 にて、ポリゴン内部の各データを補間する。この内部描画処理装置 9 の詳細については、後述する。

【 0 0 2 2 】 内部描画処理装置 9 にて補間された、ポリゴン内部の各データが半透明処理装置 11 に与えられる。この半透明処理装置 11 には、マッピングパターンのルックアップテーブルアドレスが格納されたマッピングパターンメモリ 10 からのアドレスデータと内部描画処理装置 9 からのデータが与えられる。

【 0 0 2 3 】 半透明処理装置 11 では内部描画処理装置 9 から与えられるマッピングパターンメモリアドレスと半透明係数値と、マッピングパターンメモリ 10 からのルックアップテーブルアドレスにより、色値を算出し、色値と半透明係数値と乗算し、半透明処理されたまたは不透明の画像データを CRT 12 に転送し、CRT 12 にてその画像を表示する。

【 0 0 2 4 】 図 2 は上記半透明係数処理装置の構成を示すブロック図、図 3 は半透明係数処理装置における半透明係数演算回路の構成を示すブロック図、図 5 は上記外形処理装置の構成を示すブロック図、図 6 は内部描画処理装置の構成を示すブロック図、図 7 は半透明処理装置の構成を示すブロック図である。

【 0 0 2 5 】 次に、この発明の実施例における半透明係数処理装置 5 につき図 2 及び図 3 を参照して説明する。

【 0 0 2 6 】 半透明係数処理装置 5 は、ポリゴン法線メモリ 2 から、法線ベクトル値、面法線と視線ベクトルの関係係数 ( $K_1$ )、光線ベクトルと面法線の関係係数 ( $K_2$ )、環境光による透明係数 ( $K_3$ ) を夫々読み出し、読み出された各データはメモリアンタフェース 51 に一旦格納される。ポリゴン法線メモリ 2 のアクセスは、アドレス生成回路 52 にて生成されたアドレスによって行われ、メモリ 2 により夫々データが読み出される。

【 0 0 2 7 】 メモリアンタフェース 51 に格納されたデータは、裏面処理回路 57 及び半透明係数演算回路 58 にそれぞれ与えられ、コントローラ 50 は数 2 式に従った計算式に基づいて演算処理を行う半透明係数演算回路 57 を制御する。この半透明係数演算回路の構成例を図 4 に、裏面処理回路 57 の構成例を図 5 に夫々示し、

10

20

30

40

50

詳細については後述する。

【数 2】

【 0 0 2 8 】

$$T = k_1 * ( \vec{N} \cdot \vec{E} ) + L_1 * k_2 * ( \vec{L} \cdot \vec{N} ) + k_3$$

ここで、

$L_1$  : 光の強さ、 $\vec{N}$  : 面法線ベクトル、 $\vec{L}$  : 光線ベクトル、 $\vec{E}$  : 視線ベクトル、

$k_1$  : 面法線と視線ベクトルの関係係数、 $k_2$  : 面法線と光線ベクトルの関係係数、

$k_3$  : 環境光などによる透明係数、

である。

【 0 0 2 9 】裏面処理回路 5 7 は、メモリーインターフェース 5 1 から裏面処理し与えられたデータとポリゴン面法線ベクトルとベクトル回転回路 5 5 にて回転演算処理された視線ベクトルとの内積に基づいてそのポリゴンが表に現れるポリゴンか、裏に隠れるポリゴン、即ち、そのポリゴンが可視か不可視か判定し、その結果をコントローラ 5 0 に出力する。コントローラ 6 1 は表に現れるポリゴンに対してのみ、半透明係数演算を行うように、半透明係数演算回路 5 8 を制御する。

【 0 0 3 0 】ところで、立体物体（オブジェクト）を例えば時計回りに  $\theta$  だけ回転させたとき、オブジェクトのある点の法線ベクトル  $n$  は  $n'$  の位置に移動するのに対し、視線ベクトル、光線ベクトルは移動しない。このため視線ベクトル、光線ベクトルとで新たな半透明係数の計算を行う必要がある。この時、法線ベクトルは多数存在するので、この回転移動した法線ベクトルを演算するとした場合、大規模な回路が必要となる。

【 0 0 3 1 】ところが、光線ベクトル及び視線ベクトルを反時計回りに  $-\theta$  だけ回転させたベクトルとオブジェクト回転前の法線ベクトルとで求めた半透明係数が法線ベクトルを回転演算させて視線ベクトル及び光線ベクトルとで算出した半透明係数と同じになる。このため、この実施例の半透明係数処理装置 5 は法線ベクトルに回転処理演算を行うのではなく視線ベクトル及び光線ベクトルに逆回転処理演算を行い、半透明係数を求めるように構成している。

【 0 0 3 2 】CPU よりオブジェクトの回転角度（ $X\theta$ 、 $Y\theta$ 、 $Z\theta$ ）が入力されると、視線ベクトルはベクトル回転回路 5 5 にて  $X$ 、 $Y$ 、 $Z$  方向に（ $X\theta$ 、 $Y\theta$ 、 $Z\theta$ ）だけ逆回転処理が行われる。すなわち、視線ベクトルはレジスタ 5 3 に一旦格納され、ベクトル回転回路 5 5 の  $Y$  回転演算器 5 5 a にて、 $Y$  方向に  $Y\theta$  逆回転演算が行われ、 $X$  回転演算器 5 5 b に送られる。

【 0 0 3 3 】 $X$  回転演算器 5 5 b は  $X$  方向に  $X\theta$  逆回転演算を行い、 $Z$  回転演算器 5 5 c にそのデータを送る。 $Z$  回転演算器 5 5 c は  $Z$  方向に  $Z\theta$  逆回転演算を行い、その演算結果をシェーディング演算回路 5 7 に与える。

【 0 0 3 4 】また、光線ベクトルは、ベクトル回転回路 5 6 にて  $X$ 、 $Y$ 、 $Z$  方向に（ $X\theta$ 、 $Y\theta$ 、 $Z\theta$ ）だけ逆回転処理が行われる。すなわち、光線ベクトルはレジスタ 5 3 に一旦格納され、ベクトル回転回路の 5 6 の  $Y$  回

10 転演算器 5 6 a にて、 $Y$  方向に  $Y\theta$  逆回転演算が行われ、 $X$  回転演算器 5 6 b に送られる  $X$  回転演算器 5 6 b は  $X$  方向に  $X\theta$  逆回転演算を行い、 $Z$  回転演算器 5 6 c にそのデータを送る。

【 0 0 3 5 】 $Z$  回転演算器 5 6 c は  $Z$  方向に  $Z\theta$  逆回転演算を行い、その演算結果を半透明係数演算回路 5 8 に与える。これら回転演算器は、各  $X$ 、 $Y$ 、 $Z$  における各ベクトルの座標係数（ $A$ 、 $B$ ）に対して  $\sin \theta$ 、 $\cos \theta$  の乗算を行いそれぞれの乗算結果の差分をとり、 $\theta$  の逆回転演算を行う。

20 【 0 0 3 6 】そして、ベクトル回転回路 5 5 の処理結果とベクトル回転回路 5 6 の処理結果が半透明係数演算回路 5 7 に与えられる。半透明係数演算回路 5 7 は、両処理結果とベクトルメモリ 2 からの面法線と視線ベクトルの関係係数（ $K_1$ ）、光線ベクトルと面法線の関係係数（ $K_2$ ）、環境光等による透明係数（ $K_3$ ）により、半透明係数を求める演算を行い、この算出した半透明の係数をメモリーインターフェイス 5 9 に出力する。

【 0 0 3 7 】メモリーインターフェイス 5 9 に格納された半透明係数値は、アドレス生成回路 6 0 にて生成されたアドレス値にて指定された半透明係数メモリ 6 の領域に格納される。

【 0 0 3 8 】この発明の裏面処理回路 5 7 について、図 4 に従い説明する。この裏面処理回路 5 7 は、ポリゴン面法線ベクトル（ $PX$ 、 $PY$ 、 $PZ$ ）と変換された視線ベクトル（ $EX$ 、 $EY$ 、 $EZ$ ）との内積を取り、その正、負をコントローラ 5 0 に知らせるものである。即ち、夫々 3 つの乗算器 5 7 1、5 7 2、5 7 3 の一方の入力に法線ベクトルデータ（ $PX$ 、 $PY$ 、 $PZ$ ）が、また乗算器 5 7 1、5 7 2、5 7 3 の他方の入力に変換された視線ベクトルデータ（ $EX$ 、 $EY$ 、 $EZ$ ）が与えられ、各乗算器で演算される。その演算結果が加算器 5 7 4 に与えられ、加算器 5 7 4 にて各乗算器の演算結果が加算され、正、負の出力がなされる。この加算器 5 7 4 からの出力が正の場合には、ポリゴン面は表を向いており、負の場合には裏を向いていると判断される。

【 0 0 3 9 】この発明の半透明係数演算回路 5 8 について、図 3 を参照して説明する。この発明の半透明係数演算回路 5 8 は、ポリゴン面法線ベクトル（ $NX$ 、 $NY$ 、 $NZ$ ）と変換された視線ベクトル（ $EX$ 、 $EY$ 、 $EZ$ ）との内積を取り、その内積値と、面法線と視線ベクトル

(NX, NY, NZ) と変換された光線ベクトル (LX, LY, LZ) との内積を取り、その内積と光の強さ及び面法線と光線ベクトルの関係係数を乗算する。

【0040】そして、上記の乗算結果と環境光などによる透明係数 ( $K_t$ ) を加算することにより透明係数

(T) を算出し、この算出値を半透明係数メモリ 6 に書き込む。すなわち、それぞれ 6 つの乗算器 581, 582, 583, 584, 585, 586 の一方の入力に法線ベクトルデータ (NX, NY, NZ) が与えられる。そして乗算器 581, 582, 583 の他方の入力には光線ベクトルデータ (LX, LY, LZ) が、乗算器 584, 585, 586 の他方の入力には、視線ベクトルデータ (EX, EY, EZ) が与えられ、各乗算器で演算される。乗算器 581, 582, 583 の演算結果が加算器 587 にて加算される。また、乗算器 584, 585, 586 の演算結果が加算器 588 にて加算される。

【0041】加算器 587 からの加算結果が乗算器 591 の一方の入力に与えられ、この乗算器 (XS) の他方にはレジスタ 589 に格納されている係数値  $K_1$  が与えられ、乗算器 591 の加算器 587 の加算結果と係数値  $K_1$  が乗算され、その乗算結果が加算器 593 に与えられる。加算器 588 の加算結果が乗算器 592 の一方の入力に与えられ、この乗算器 592 で加算器 588 の加算結果と係数値  $K_2$  が与えられ、乗算器 592 で加算器 588 の加算結果と係数値  $K_2$  の乗算が行われ、この乗算結果が加算器 593 に与えられる。加算器 593 には、更に、レジスタ 594 に格納されている係数値  $K_3$  が与えられ、この加算器 593 から半透明係数が出力される。

【0042】次に、この実施例の半透明係数処理装置 5 の動作を図 8 のフローチャートに基づいて、更に説明する。

【0043】半透明係数演算動作を開始すると、まず、オブジェクトの回転角度  $X\theta$ ,  $Y\theta$ ,  $Z\theta$  が CPU より入力される (ステップ S1)。そして、ベクトル回転回路 5656 にて光線ベクトル (LX, LY, LZ) をオブジェクトの回転角度  $X\theta$ ,  $Y\theta$ ,  $Z\theta$  だけ逆回転させる。 (ステップ S2)。

【0044】続いて、ベクトル回転回路 55 にて視線ベクトル (EX, EY, EZ) をオブジェクトの回転角度  $X\theta$ ,  $Y\theta$ ,  $Z\theta$  だけ逆回転させる。 (ステップ S3)。

【0045】そして、ベクトルメモリ 2 よりポリゴン面法線ベクトル (PX, PY, PZ) が読み出された後 (ステップ S4)、関係係数 ( $K_1$ ,  $K_2$ ,  $K_3$ ) が読み出され (ステップ S5)、ステップ S6 へ進む。

【0046】ステップ S6 において裏面処理回路 57 にて、ポリゴン面法線ベクトル (PX, PY, PZ) と逆

回転演算された視線ベクトル (EX, EY, EZ) との内積が取られ、この内積値 (INNER) が 0 より大きいとか否か判断される (ステップ S7)。内積値が正の場合には、ポリゴン面は表を向いていると判断され、次の動作のためにステップ S8 に進む。内積値が負の場合には、ポリゴン面は裏を向いていると判断され、以後の処理は行わないため、ステップ S4 に戻り前述の動作を繰り返す。

【0047】ステップ S8 において、ポリゴン法線ベクトル (NX, NY, NZ) をポリゴン法線メモリ 2 より読み出し、半透明係数演算回路 58 にて法線ベクトル (NX, NY, NZ) と逆回転演算された視線ベクトル (EX, EY, EZ) との内積がとられる (ステップ S9)。

【0048】この内積値 (INNER) と関係係数  $K_1$  を乗算し、視線ベクトルの関係値 (P1) を算出する (ステップ S10)。

【0049】続いて、ステップ S11 にて、ポリゴン法線ベクトル (NX, NY, NZ) と逆回転演算された光線ベクトル (LX, LY, LZ) との内積を求める。この内積値 (INNER) と光線強度 L1 及び関係係数  $K_2$  を乗算し視線ベクトルとの関係値 (P2) を算出する (ステップ S12)。

【0050】そして、ステップ S13 において、P1 と P2 と関係係数  $K_3$  を加算して、半透明係数 (T) を算出する。

【0051】更に、ステップ S14 にて、半透明係数 (T) を半透明係数メモリ 6 に書き込み、ステップ S15 にて、ポリゴンの全てのポリゴン端点の処理が終了したか否か判断され、処理していない場合には、前述のステップ S8 に戻り、前述の動作を繰り返す。また、処理が終了すると、ステップ S16 に進み、ステップ S16 にて全てのポリゴンの処理が終了したか否か判断され、処理が終了していない場合にはステップ S4 に戻り、前述の動作を繰り返す。

【0052】ステップ S17 にて、オブジェクト中のポリゴン全てに対して、処理が終了したか否か判断され、処理していない場合には、前述のステップ S1 に戻り、前述の動作を繰り返す。又、処理が終了すると、処理が終了したと判断されると、この半透明係数処理装置 5 の動作が終了する。

【0053】つぎに、この発明の外形処理装置 7、内部描画処理装置 9 につき図 4 及び図 5 を参照して説明する。

【0054】この実施例においては、ポリゴンはスクリーン端点座標 (X, Y) と、基本パターン、即ちマッピングパターンの端点座標 (MX, MY) 及び半透明係数値 (TP) を持つことにより、図 26 のようなポリゴン面に基本パターンを変形させてマッピングすると共に、そのポリゴン面に濃度を付加し、シェーディングを付加

10

20

30

40

50

するものである。

【 0 0 5 5 】 まず、ポリゴン外形処理装置 7 にてポリゴンの外形処理を行う。

【 0 0 5 6 】 この外形処理のために CPU にて、スクリーンメモリ 4 より読み出された各辺の X Y アドレスの始点及び終点に基づいて、ポリゴンを構成する各辺のベクトルが図 2 4 に示すどの方向に属するかを判断し、そのベクトルの方向に応じて、右辺又は左辺が決定される。

【 0 0 5 7 】 スクリーンメモリ 1 0 には、スクリーン端点座標 ( X , Y ) と、マッピングパターンの端点座標 ( M X , M Y ) 及びポリゴンの Z 値が格納されている。また、半透明係数メモリ 6 には、半透明係数処理装置 5 にて半透明係数演算処理された各端点の半透明係数値 ( T P ) が格納されている。

【 0 0 5 8 】 そして、ポリゴン外形処理回路 6 1 にて、スクリーンメモリ 1 0 より読み出された各辺の Y アドレスの始点 ( Y S ) 及び終点アドレス ( Y E ) から Y 方向の距離 ( D Y ) を算出する。即ち、 $DY = YE - YS$  の演算を減算器 6 2 で行う。続いて、この D Y を用いて、ポリゴンの外形を求めるために、各辺の X 終点 ( X E ) から X 始点 ( Z S ) までのアドレスをデジタル微分解析 ( D D A ) により求め、そのデータをフレームメモリ 8 に格納する。

【 0 0 5 9 】 即ち、下記数式 3 の ( 1 ) 式に示すように、その微差分値を算出し、下記 ( 2 ) 式に示すように、補間演算を行い各辺の X 終点から X 始点までのアドレスを算出する。

【 0 0 6 0 】

【 数 3 】

$$DDX = (XE - XS) / DY \quad \dots (1)$$

$$X = X + DDX \quad \dots (2)$$

【 0 0 6 1 】 この演算は、D D A 演算回路 6 3 にて行われ、D D A 演算回路 6 3 の減算器 6 4 にて、 $XE - XS$  の演算を行い、この演算結果が除算器 6 5 に与えられる。除算器 6 5 の一入力には、減算器 6 2 より D Y 値が与えられ、上記の ( 1 ) 式の演算を行い、この演算結果を補間演算を行う補間回路 6 6 に与える。

【 0 0 6 2 】 補間演算回路 6 6 の加算器 6 7 とレジスタ 6 8 にて上記 ( 2 ) 式の補間演算が行われ、各辺の X を始点 ( X S ) から X 終点 ( X E ) までのポリゴンの外形データを算出し、フレームメモリ 8 に格納する。

【 0 0 6 3 】 また、マッピングパターンの外形処理回路 7 1 は、基本パターン情報の外形処理を行う。この処理はスクリーンメモリ 4 に格納された基本パターンの端点アドレス ( M X , M Y ) を変化させる。

【 0 0 6 4 】 スクリーンメモリ 4 より読み出された基本パターンの始点アドレス ( M X S , M Y S ) , ( M X E , M Y E ) のアドレスデータからポリゴンに対応するデータを下記数式 4 の ( 3 ) , ( 4 ) 式に基づいて、デジタル微分解析 ( D D A ) により、D D A 演算回路 7 2

及び補間演算回路 7 5 にて算出し、フレームメモリ 8 に格納する。即ち、各辺の終点データ ( M X E , M Y E ) から始点データ ( M X S , M Y S ) までのデータを減算器 7 3 及び除算器 7 4 にてデジタル微分解析 ( D D A ) し、そのデータを加算器 7 6 、レジスタ 7 7 にて補間演算により求め、そのデータをフレームメモリ 8 に格納する。

【 0 0 6 5 】 まず、( 3 ) , ( 4 ) 式に示すように、その微差分値を算出し、( 5 ) , ( 6 ) に示すように、補間演算を行い各辺の終点から始点までのデータを算出する。この ( 5 ) 式における M X の初期値は始点のデータ ( M Y S ) であり、( 6 ) 式における M Y の初期値は始点のデータ ( M Y S ) である。( 5 ) , ( 6 ) 式の演算が 0 から D Y まで繰り返される。

【 0 0 6 6 】

【 数 4 】

$$DMX = (MXE - MXS) / DY \quad \dots (3)$$

$$DMY = (MYE - MYS) / DY \quad \dots (4)$$

$$MX = MX + DMX \quad \dots (5)$$

$$MY = MY + DMY \quad \dots (6)$$

【 0 0 6 7 】 更に、半透明係数 ( T P ) の外形処理回路 8 1 は、半透明メモリ 6 に格納された半透明係数値の端点アドレス ( T P S , T P E ) を変化させる。半透明メモリ 6 より読み出された半透明係数値の始点アドレス ( T P S ) 、終点アドレス ( T P E ) のアドレスデータからポリゴンに対応するデータを下記数式 5 の ( 7 ) , ( 8 ) 式に基づいてデジタル微分解析 ( D D A ) により半透明係数値外形処理回路 8 1 の D D A 演算回路 8 2 及び補間演算回路 8 5 にて算出し、フレームメモリ 8 に格納する。即ち、各辺の終点データ ( T P E ) から始点データ ( T P S ) までのデータを減算器 8 3 及び除算器 8 4 にてデジタル微分解析し、そのデータを加算器 8 6 及びレジスタ 8 7 にて補間演算して算出し、そのデータをフレームメモリ 8 に格納する。

【 0 0 6 8 】 まず、( 7 ) 式に示すように、その微差分値を算出し、( 8 ) 式に示すように、補間演算を行い、各辺の終点から始点までのデータを算出する。この ( 8 ) 式における T P の初期値は始点データ ( T P S ) である。( 8 ) 式の演算が 0 から D Y まで繰り返される。

【 0 0 6 9 】

【 数 5 】

$$DTTP = (TPE - TTPS) / DY \quad \dots (7)$$

$$TP = TP + DTTP \quad \dots (8)$$

【 0 0 7 0 】 この実施例においては、水平走査線に同期して、その垂直位置を示す Y アドレスごとに、ポリゴンの外形とそれに基づいて変形された基本パターンの外形アドレス情報及び半透明係数値 ( T P ) の外形アドレス情報がフレームメモリ 8 に格納される。

【 0 0 7 1 】 内部図形描画回路 9 は、対応する 2 辺間の

XYアドレスをフレームメモリ8より読み出し、この読み出したアドレス情報に基づいて、下記数式6の(9)～(15)式に従いポリゴン内部の各ビットパターンのアドレス及び輝度情報アドレスを内部パターンアドレスとして算出する。

【0072】即ち、この実例例においては、水平走査信号に同期して、その垂直位置としてのYアドレスに対応するポリゴンの外形を示す2点のXの始点(XS)とXの終点(XE)と基本パターンを変形したマッピングアドレス(MX, MY)と半透明係数値(TP)をフレームメモリ8から読み出す。

【0073】フレームメモリ8より読み出されたXアドレスの始点及び終点アドレスから(9)式に示すように減算器90にてX方向の距離(DXY)を算出する。

【0074】このDXYを用いて、基本パターンをポリ

$$DDMX = (MXE(Y) - MXS(Y)) / DXY \quad \dots (10)$$

$$DDMY = (MY(Y) - MYS(Y)) / DXY \quad \dots (11)$$

$$DTP = (TPE(Y) - TPS(Y)) / DXY \quad \dots (13)$$

$$MX = MXS(Y) + DDMX * X \quad \dots (12)$$

$$MY = MYS(Y) + DDMY * X \quad \dots (14)$$

$$TP = TPS(Y) + DDTTP * X \quad \dots (15)$$

【0077】フレームメモリ8より読み出されたYアドレス毎の基本パターンのアドレス(MXS(Y), MYS(Y)), (MXE(Y), MYE(Y))及び半透明係数値(TPE(Y), TPS(Y))からポリゴンに対応するデータをDDA演算回路91の減算器92、除算器93にてデジタル微分解析(DDA)により算出する。

【0078】そして、補間演算回路94の乗算器95、加算器96、カウンタ97により補間演算を行い、各辺の終点から始点までのデータを算出する。この算出した各データが半透明処理装置11に与えられる。

【0079】上記外形処理装置7及び内部描画処理装置9の動作を図9ないし図10の動作フローに基づき、図4及び図5の回路例に従い説明する。

【0080】まず、コントローラがポリゴン数(P)を端点メモリ1より読み出し、そして、処理するポリゴン角数を読み出し、その数を内部処理用メモリに格納する(ステップS20, S21)。

【0081】そして、スクリーンメモリ4より始点(XS, YS, MXS, MYS)を、半透明係数メモリ6より半透明係数値の始点(TPS)をそれぞれ読み出し(ステップS22)、スクリーンメモリ4及び半透明係数メモリ6のアドレスをインクリメントして、スクリーンメモリ4及び半透明係数メモリ6より終点(XE, YE, MXE, MYE, TPE)をそれぞれ読み出す(ステップS24)。この読み出した端点の始点(XS, YS)、終点(XE, YE)から方向ベクトルを算出し、この辺ベクトルを左辺または右辺に設定する(ステップS25)。

ゴンの形に合わせて変形させるために、フレームメモリ8より読み出された基本パターンの端点マッピングアドレス(MX, MY)及び半透明係数値(TP)を(10), (11), (12)式に基づいてデジタル微分解析(DDA)により算出する。

【0075】即ち、(10), (11), (12)式に示すように、その微差分値を算出し、(13), (14), (15)式に示すように、補間演算を行いY軸の終点から始点までのデータを算出する。この(13), (14), (15)式におけるXの値は、0からDXまで変化する。

【0076】

【数5】

$$DXY = XE(Y) - XS(Y) \quad \dots (9)$$

【0082】そして、外形処理装置7のポリゴン外形処理回路61の差分回路を構成する減算器62にスクリーンメモリ4からのYE, YSのデータが与えられ、両者間の距離DYが算出される(ステップS26)。このDYは微差分演算回路63、マッピングパターン外形処理回路71の微差分演算回路72及び半透明係数値外形処理回路81の微差分演算回路82にそれぞれ供給される。

【0083】微差分演算回路63内の減算器64にはスクリーンメモリ4から始点(XS)及び終点(XE)データが与えられ、この減算器64からの減算結果XE - XSが除算器65へ供給される。

【0084】この除算器65にて、(XE - XS) / DYの除算が行われ(ステップS27)、この値(DDX)が補間演算回路66の加算器67へ与えられる。この加算器67にて、X + DDXの演算が行われ、この値がレジスタ68に書き込まれ、このレジスタ68からフレームメモリ28にXアドレスとして書き込まれる(ステップS28)。

【0085】また加算器67の一方の入力はレジスタ68からの出力が与えられるため、この補間演算回路66にて、補間演算が行われる。

【0086】続いて、ステップS29において、マッピングパターンの外形処理回路71及び半透明係数値外形処理回路81では、スクリーンメモリ4及び半透明係数メモリ6より、読み出された基本パターンの端点アドレス(MXS, MYS), (MXE, MYE)及び半透明係数値の端点アドレス(TPS, TPE)が入力され(ステップS30)、この減算器73にて、MXE - MXS、及びMYE - MYSの演算が、減算器83にて、TPE - TPSの演算が行われ、その演算結果が除算器74と除算器84に与えられる。

【0087】この除算器74、84には差分回路の減算器62からのDYが与えられ、上述の演算結果との間で除算され、微差分値が算出される。

【0088】この微差分演算回路72、82にて、 $DMX = (MXE - MXS) / DY$ 、 $DMY = (MYE - MYS) / DY$ 、 $DTP = (TPE - TPS) / DY$ の演算が行われ、この演算結果が補間演算回路75の加算器76と補間演算回路85の加算器86へ供給される。

【0089】補間演算回路75及び85では、加算器76及び86に微差分演算回路72及び82からの出力と、レジスタ77及び87に設定された前のデータとの間で加算がなされ、 $MX = MX + DMX$ 、 $MY = MY + DMY$ 、 $TP = TP + DTP$ の演算が行われる（ステップS31）。

【0090】この値がレジスタ77及び87に与えられ、このレジスタ77の値がマッピングパターンのアドレスデータ、レジスタ88の値が半透明係数値のアドレスデータとしてフレームメモリ8に書き込まれる。

【0091】また、加算器76及び86の一方の入力はレジスタ77及び87からの出力が与えられるため、この回路75及び85にて、補間演算が行われる。

【0092】フレームメモリ8には、Yアドレス毎にポリゴン辺の左辺Xアドレス、右辺Xアドレス、マッピングパターンの左辺Xアドレス、右辺Xアドレス、マッピングパターンの左辺Yアドレス、右辺Yアドレス、半透明係数値の左辺アドレス、右辺アドレスと、Z値が格納される（ステップS32）。

【0093】そして、ステップS33にて、スキャンラインのDY動作8回繰り返したか否か判断され、DY回繰り返していない場合にはステップS28に戻り前述の動作を繰り返す。DY回繰り返すと、ステップS34へ進み、ステップS34にて、終点データを始点データへ移し、そして端点数を一つインクリメントし（ステップS35）、ステップS36に進む。

【0094】ステップS36にて、ポリゴンの全ての辺が終了したか否か判断され、終了していない場合には、ステップS23へ戻り、前述の動作を繰り返す。ポリゴンの全ての辺が終了すると、ステップS37へ進み、ステップS37スクリーンメモリ4、及び半透明係数メモリ6のアドレスをインクリメントした後、ステップS38にてポリゴンのカウントをカウントアップし、ステップS39へ進む。

【0095】ステップS39にて、ポリゴンの全ての処理が終了したか否か判断され、ポリゴンの全ての処理が終了していない場合には、ステップS21に戻り、前述の動作を繰り返す。そして、ポリゴン全ての処理が終了したと判断されると、外形処理動作が終了する。

【0096】続いて、内部描画処理装置9について、図5及び図11に従い説明する。

【0097】内部描画処理装置9は、まずYアドレスを

初期化し（ステップS40）、Yアドレス毎に対向する2辺間のXアドレス及びマッピングパターンのアドレス（XS、XE、MXS、MXE）及び半透明係数値のアドレス（TPS、TPE）をフレームメモリ8より読み出す（ステップS41）。

【0098】即ち、この実施例においては、水平走査信号に同期して、その垂直位置としてのYアドレスに対応するポリゴンの外形を示す2点のXの始点（XS）とXの終点（XE）と基本パターンを変形したマッピングアドレス（MXS、MYS）、（MXE、MYE）及び半透明係数値のアドレス（TPS、TPE）をフレームメモリ8から読み出す。

【0099】そして、内部描画処理装置8の差分回路を構成する減算器9にフレームメモリ8からのXE、XSのデータが与えられ、両者間の距離DXが算出される（ステップS42）。このDXは微差分演算回路91に供給される。

【0100】微差分演算回路91内の減算器92にはフレームメモリ8からマッピングアドレスの始点（MXS、MYS）及び終点（MXE、MYE）、及び半透明係数値のアドレスの始点（TPS）、終点（TPE）のデータがそれぞれ与えられ、この減算器92からの減算結果MXE-MXS、MYE-MYS、TPE-TPSが減算器93へ供給される。

【0101】この減算器93にて、 $(MXE - MXS) / DX$ 、 $(MYE - MYS) / DX$ 、 $(TPE - TPS) / DX$ の除算が行われ、この値（DDMX）（DDMY）（DDDLUT）が補間演算回路94の乗算器95へ与えられる（ステップS43）。そして、Xアドレスを初期化する（ステップS44）。

【0102】また、乗算器95の一方の入力には、0からDXまで順列番号を発生するカウンタ87からの出力が与えられ、乗算器95にてDDX \* X、DDMY \* X、DDLUT \* Xの演算が行われ、この演算結果が加算器86に供給される。そして、この加算器96にはフレームメモリ8よりマッピングアドレスの始点（MXS、MYS）及び半透明係数の始点（TPS）が与えられ、乗算器95の演算結果に始点のデータが加算され、補間演算が行われる（ステップS45）。この補間されたデータが半透明処理装置11へ与えられる（ステップS46）。

【0103】そして、1つXアドレスの演算を行う毎に、Xアドレスを1つインクリメントし（ステップS47）、XアドレスがDXになるまで前述の動作を繰り返す（ステップS48）。

【0104】更に、1つのYアドレスが終了する毎にYアドレスをインクリメントし（ステップS49）、全てのYアドレスに対応する処理が終了するまで前述の動作を繰り返し（ステップS50）、全てのアドレスに対応する処理が終了した時点で内部処理の補間動作が終了す

10

20

30

40

50

る。

【 0 1 0 5 】次に、半透明係数処理装置 1 1 の具体的実施例を図 7 を参照して更に説明する。半透明係数処理装置 1 1 は、内部描画処理装置 9 から出されたポリゴンの変形に対応して基本パターンが変形されたマッピングパターンメモリアドレス ( M X , M Y ) と、半透明係数値 ( T P ) 、及び半透明ポリゴン L U T アドレス ( T C O L ) 値を受けとる。そして、マッピングパターンメモリアドレス ( M X , M Y ) に従い、マッピングパターンメモリ 1 0 をアクセスする。即ち、内部描画処理装置 9 から出力されたマッピングパターンメモリアドレス ( M X , M Y ) はレジスタ 1 1 5 に格納され、このレジスタ 1 1 5 からマッピングパターンメモリ 1 0 のアドレス値が半透明ポリゴン以外のカラー情報を格納したマッピングパターンメモリのルックアップテーブルメモリ 1 1 7 に与えられる。ルックアップテーブルメモリ 1 1 7 からそのアドレスに対応した R 、 G 、 B 等の色情報等のデータが読み出され、レジスタ 1 2 0 へ与えられる。

【 0 1 0 6 】レジスタ 1 1 5 に格納されたマッピングパターンメモリアドレス ( M X , M Y ) 値はマルチプレクサ 1 1 6 へ与えられる。そして、マッピングポリゴンであるか、マッピングポリゴンでないか、即ち、ポリゴンに模様を付加したものか、単色のポリゴンかを示すポリゴン属性がフリップフロップ 1 1 4 に与えられ、このフリップフロップ 1 1 4 により、ポリゴン属性がマッピングポリゴンでなければレジスタ 1 1 5 のマッピングパターンアドレス値をルックアップテーブルメモリ 1 1 7 にアドレスとして与え、ポリゴン属性がマッピングポリゴンであれば、マッピングメモリデータを与えるようにマルチプレクサ 1 1 6 を制御する。

【 0 1 0 7 】一方、内部描画処理装置 9 からの半透明係数値 ( T P ) はレジスタ 1 1 2 に格納され、更にレジスタ 1 2 1 に格納される。

【 0 1 0 8 】レジスタ 1 1 1 に格納された半透明ポリゴン L U T アドレス ( T C O L ) 値は、半透明ポリゴンのカラー情報を格納した半透明ルックアップテーブルメモリ 1 1 8 に与えられる。半透明ルックアップテーブルメモリ 1 1 8 から、そのアドレスに対応した半透明ポリゴンの R 、 G 、 B 等の色情報等のデータが読み出されレジスタ 1 1 9 へそのデータが格納される。

【 0 1 0 9 】そして、レジスタ 1 2 0 に格納されたマッピングポリゴンの R 、 G 、 B 等の色情報データが乗算器 1 2 4 の一方の入力に与えられる。更に、この乗算器 1 2 4 の他方の入力には減算器 1 2 2 の出力が与えられる。この減算器 1 2 1 は半透明ポリゴンを通して見たポリゴンの色の率を算出するためのもので 1 よりレジスタ 1 2 1 格納された T P ( 半透明係数 ) を減算、すなわち、  $1 - T P$  の演算を行う。

【 0 1 1 0 】また、レジスタ 1 2 1 に格納された半透明係数 ( T P ) は乗算器 1 2 3 の一方の入力に与えられ

る。

【 0 1 1 1 】半透明ルックアップテーブルメモリ 1 1 8 からの半透明ポリゴンの R 、 G 、 B の色値が乗算器 1 2 3 の他方の入力に与えられる。この乗算器 1 2 3 にて、色値 ( R 、 G 、 B ) と半透明係数値 ( L T P ) とがそれぞれ乗算され、半透明ポリゴンの色を算出する。

【 0 1 1 2 】乗算器 1 2 4 からの出力及び乗算器 1 2 3 からの出力が加算器 1 2 5 へ与えられる。この加算器 1 2 5 にて半透明ポリゴンと半透明ポリゴンを通したポリゴンの色が加えられ、そのドットの色が算出され、マルチプレクサ 1 2 6 に与えられる。このマルチプレクサ 1 2 6 にはルックアップテーブルメモリ 1 1 7 からのマッピングポリゴンデータがレジスタ 1 2 0 を介して与えられる。このマルチプレクサ 1 2 6 は、半透明ポリゴンか否かを示すフラグを格納するフリップフロップ 1 1 3 からのフラグが与えられ、半透明ポリゴンであれば、加算器 1 2 5 より半透明ポリゴンと半透明ポリゴンを通した色が加えられたドットの色を出力し、C R T 1 2 へそのデータを与える。又、半透明ポリゴンでなければ、レジスタ 1 2 0 から通常のポリゴンデータがマルチプレクサ 1 2 6 より出力され、そのポリゴンが C R T 1 2 に表示される。

【 0 1 1 3 】次に、この発明の各部の具体的実施例につき以下に説明する。

【 0 1 1 4 】図 1 0 は外形処理装置 7 の具体的構成例を示す回路図、図 1 6 及び図 1 7 はその動作を示すフローチャートである。図 1 0 に従いこの発明の外形処理装置 7 について更に説明する。

【 0 1 1 5 】この回路は、コントローラ 5 0 により制御され、このコントローラ 5 0 は図 1 6 、図 1 7 に示すフローチャートに従って、端点間を D D A により補間するために、前述した図 3 に示す差分回路 6 2 、微差分演算回路 6 3 、 7 2 、 8 2 及び補間演算回路 6 6 、 7 5 、 8 5 を制御する。

【 0 1 1 6 】図 3 に示す差分回路 6 2 、微差分演算回路 6 3 、 7 2 、 8 2 は、補間演算回路 6 6 、 7 5 、 8 5 にて補間演算に用いる各パラメータを算出するためのものであり、差分回路 6 2 、微差分演算回路 6 3 、 7 2 、 8 2 は共通の回路構成で行えるため、この回路においては、差分回路 6 2 、微差分演算回路 6 3 、 7 2 、 8 2 を 1 つのブロック図として、パラメータ演算部 1 1 0 として説明する。

【 0 1 1 7 】図示しないポリゴンカウントメモリのデータは入力バッファ 1 1 2 に与えられ、入力されたポリゴンカウントメモリのデータをインクリメント 1 1 3 にて 1 インクリメントしてラッチ 1 1 4 へ転送する。

【 0 1 1 8 】ラッチ 1 1 4 は、インクリメント 1 1 3 のデータを受け取り、ポリゴンカウントメモリへ転送する。

【 0 1 1 9 】スクリーンメモリ 4 より読み込まれた端点

10

20

30

40

50

データはラッチ 1 1 6 に一時的に格納され、内部処理用の RAM 1 1 5 に転送される。

【0 1 2 0】そして、この RAM 1 1 5 には、スクリーンメモリ 4 より読み込まれた端点データの各始点 (X S, M X S, M Y S) 及び半透明係数メモリ 6 より読み込まれた始点 (T P S) だけ格納される。

【0 1 2 1】また、スクリーンメモリ 4 及び半透明係数メモリ 6 のアドレスはカウンタ 1 1 7 にて発生する。

【0 1 2 2】そして、RAM 1 1 5 より読み出された Y 始点 (Y S) と、スクリーンメモリ 4 より読み出された Y 終点 (Y E) が減算器 1 1 8 に入力される。

【0 1 2 3】この減算器 1 1 8 で Y E から Y S を減算処理し、この値 (D Y) を W 2 レジスタ 1 1 9 が一時的に格納する。そして、この D Y は更にレジスタ 1 2 5 に格納される。

【0 1 2 4】また、減算器 1 1 8 には、RAM 1 1 5 より読み出された X 始点 (X S) とスクリーンメモリ 4 より読み出された X 終点 (X E)、マッピングパターンの始点 (M X S, M Y S) 及び半透明係数メモリ 6 より読み出された半透明係数値の始点 (T P S) とスクリーンメモリ 4 より読み出された終点 (M X E, M Y E) 及び半透明係数メモリ 6 より読み出された終点 (T P E) がそれぞれ入力され、X E から X S、M X E から M X S、M Y E から M X S、M Y E から M Y S、T P E から T P S を減算する。

【0 1 2 5】スクリーン座標の (Y E - Y S) 処理により発生するキャリーはフリップフロップ 1 2 0 に格納され、このキャリーによりポリゴンを右回りだけとすると、上方向は右辺、下方向は左辺とし、フレームメモリ 8 のアドレスの一部とする。

【0 1 2 6】1 2 1、1 2 2、1 2 6 は 3 ステートバッファである。

【0 1 2 7】除算器 1 2 3 は、減算器 1 1 8 にて減算処理した X E - X S、M X E - M X S、M Y E - M Y S、T P E - T P S の値を D Y で除算する。除算器 1 2 3 により演算された値 D D X、D M X、D M Y、D T P は W 1 レジスタ 1 2 4 に一時的に格納される。

【0 1 2 8】次に補間演算回路 6 6、7 5、8 5 の構成について説明する。パラメータ演算部 1 1 0 より転送された Z 値は、B Z レジスタ 1 2 7 に一時的に格納される。

【0 1 2 9】スタート信号 (R U N) をパラメータ演算部 1 1 0 より受けることにより B Z レジスタ 1 2 7 の値をレジスタ 1 2 8 に格納し、フレームメモリ 8 に値を出力する。この実施例のフレームメモリ 8 は図 1 8 に示すように構成されている。

【0 1 3 0】パラメータ演算部 1 1 0 で演算されたスクリーン座標の Y E - Y S の値 (D Y) は D Y レジスタ 1 2 9 に格納される。スタート信号をパラメータ演算部 1 1 0 より受けることにより、カウンタ 1 3 0 は D Y レ

ジスタ 1 2 9 の値を格納し、メモリサイクル毎、ダウンカウントすることにより、このカウンタ 1 3 0 が 0 にならない間、補間演算回路 6 6、補間演算回路 7 5、補間演算回路 8 5 に処理権を与えることにより各補間演算回路を制御する。

【0 1 3 1】カウンタ 1 3 0 のカウンタ値のゼロフラグはフリップフロップ 1 3 1 に与えられ、フリップフロップ 1 3 1 は、その値を、R U N 信号として出力する。パラメータ演算部 1 1 0 より転送された、スクリーン座標の Y S は B S Y L レジスタ 1 3 2 に一時的に格納する。

【0 1 3 2】B S Y L レジスタ 1 3 2 の出力はマルチプレクサ 1 3 3 に与えられ、このマルチプレクサ 1 3 3 により、スタート信号を受けたときだけ、B S Y L レジスタ 1 3 2 の値を S Y L レジスタ 1 3 4 に転送し、それ以外の時は加算器 1 3 6 の加算器出力を S Y L レジスタ 1 3 4 へ転送する。

【0 1 3 3】S Y L レジスタ 1 3 4 は、メモリサイクル毎に値を更新することにより、ポリゴン辺のスクリーン座標の Y アドレスを演算する。

【0 1 3 4】またマルチプレクサ 1 3 5 はポリゴン辺が下向きであれば、1 値を、上向きであれば、- 1 値を加算器 1 3 6 へ転送する。

【0 1 3 5】R U N 信号が O N している間、メモリサイクル毎 S Y L レジスタ 1 3 4 の値がレジスタ 1 3 7 に格納されることにより、フレームメモリ 8 に S Y アドレスを転送する。

【0 1 3 6】パラメータ演算部 1 1 0 より転送されたスクリーン座標の X S は B S X L レジスタ 1 3 8 に一時的に格納される。

【0 1 3 7】また、マルチプレクサ 1 3 9 により、スタート信号を受けた時だけ、B S X L レジスタ 1 3 8 の値が S X L レジスタ 1 5 0 に転送され、それ以外の時には、加算器 1 5 3 の出力が S X L レジスタ 1 5 0 に転送される。

【0 1 3 8】S X L レジスタ 1 5 0 は、メモリサイクル毎値を更新することにより、ポリゴン辺のスクリーン座標の X アドレスを演算する。

【0 1 3 9】B D D X レジスタ 1 5 1 は、パラメータ演算部 1 1 0 より転送されたパラメータ (スクリーン座標の X 終点 (X E) - X 始点 (X S) / D Y) の値を一時的に格納する。

【0 1 4 0】スタート信号を受けることにより B D D X レジスタ 1 5 1 の値を D D X レジスタ 1 5 2 に格納し、加算器 1 5 3 へ転送する。

【0 1 4 1】R U N 信号が O N している間はメモリサイクル毎に S X L レジスタ 1 5 0 の値が S X レジスタ 1 5 4 に格納されることにより、フレームメモリ 8 に S X データを転送する。

【0 1 4 2】パラメータ演算部 1 1 0 より転送されたマッピングパターン座標の M X S は B M X L レジスタ 1 5



5に一時的に格納される。

【0143】また、マルチプレクサ156は、スタート信号を受けた時だけ、BMXLレジスタ155の値をMXLレジスタ157に転送し、それ以外の時は加算器170の出力をMXLレジスタ157に転送する。

【0144】MXLレジスタ157は、メモリサイクル毎に値を更新することにより、ポリゴン辺のマッピング座標のXアドレスを演算する。

【0145】パラメータ演算部110より転送されたパラメータ（マッピング座標のX終点（MXE）-X始点（MXS））/DYの値は、BDDMXレジスタ158に格納される。

【0146】スタート信号を受けることにより、BDDMXレジスタ158の値をDDMXレジスタ159が格納し、加算器170へ転送する。

【0147】RUN信号がONしている間は、メモリサイクル毎にBMXLレジスタ157の値がMXLレジスタ171に格納されることにより、フレームメモリ8にMXデータを転送する。

【0148】パラメータ演算部110より転送されたマッピングパターン座標のY始点（MYS）はBMYLレジスタ172に一時的に格納される。

【0149】更に、マルチプレクサ173は、スタート信号を受けた時だけBMYLレジスタ172の値をMYLレジスタ174に転送し、それ以外の時は、加算器177の出力をMYLレジスタ174に転送する。

【0150】MYLレジスタ174は、メモリサイクル毎に値を更新することにより、ポリゴン辺のマッピング座標のYアドレスを演算する。

【0151】パラメータ演算部110より転送されたパラメータ（マッピングパターン座標のY終点（MYE）-Y始点（MYS））/DYの値はBDDMYレジスタ175に一時的に格納される。

【0152】スタート信号を受けることにより、BDDMYレジスタ175の値はDDMYレジスタ176に格納され、加算器177へ転送する。

【0153】RUN信号がONしている間はメモリサイクル毎にMYLレジスタ174の値がMYレジスタ178に格納されることにより、フレームメモリ8にMYデータを転送する。

【0154】スタート信号を受けることによりFL1値がフリップフロップ179に格納され、フレームメモリ8のアドレスの一部としてRL信号を転送する。

【0155】BTPLレジスタ180には、パラメータ演算部110より転送された半透明係数値の始点アドレス（TPS）が一時的に格納される。

【0156】また、BDDPレジスタ181には、パラメータ演算部より転送されたパラメータ（半透明係数値終点（TPE）-始点（TPS））/DYの値が一時的に格納される。

【0157】BTPLレジスタ180からのデータはマルチプレクサ182に与えられ、このマルチプレクサ182はスタート信号を受けた時だけ、BTPLレジスタ180の値をTPLレジスタ184へ転送し、それ以外の時は加算器185の出力をTPLレジスタ184に送る。

【0158】このTPLレジスタ184は、メモリサイクル毎に値を更新し、ポリゴン辺の半透明係数値を格納する。

【0159】また、DDTPレジスタ183は、スタート信号を受けることにより、BDDTPレジスタ181の値を格納する。

【0160】TPLレジスタ184及びDDTPレジスタ183からの出力が加算器185に与えられ、この加算器185にて、TP+DTPの演算が行われ、ポリゴン辺の半透明係数値が算出される。この加算器185からの出力はマルチプレクサ182を介してTPLレジスタ184に一時的に格納される。TPLレジスタ184の値がRUN信号がONしている間はメモリサイクル毎にTPレジスタ186に格納され、そして、フレームメモリ8にTPデータが転送される。

【0161】外形処理装置7は、上述したように構成され、この動作につき図20、図21のフローチャートに従い更に説明する。

【0162】まず、スクリーンメモリ4及びカラーメモリ6より端点データの各始点（XS, MXS, MYS, TPS）を読み出し、そして、RAM115に、スクリーンメモリ4より読み込まれた端点データの各始点（XS, MXS, MYS）及び半透明係数メモリ6より読み込まれた始点（TPS）を格納する（ステップS60）。

【0163】そして、スクリーンメモリ4よりY終点アドレス（YE）を読み出すと共に、RAM115より読み出されたY始点（YS）との間で減算器118により、YEからYSを減算処理され、この値（DY）をW2レジスタ119に一時的に格納する。そして、Y始点アドレス（YS）をBSYLレジスタ132に格納すると共にY終点アドレスをY始点アドレスとしてRAM115に書き込む（ステップS61）。

【0164】続いて、減算器118にて、RAM115より読み出されたX始点（XS）とスクリーンメモリ4より読み出されたX終点（XE）との減算処理が行われ、この減算値が除算器123にて上記DYで除算され、その値DDXをBDDXレジスタ151に、X始点アドレス（XS）をBSXLレジスタ138にそれぞれ格納し、X終点アドレスをX始点アドレス（XS）としてRAM115に書き込む（ステップS62）。

【0165】更に、減算器118にて、RAM115より読み出されたマッピングパターンのX始点（MXS）とスクリーンメモリ4より読み出されたマッピングパタ

ーンのX終点(MXE)との減算処理が行われ、この減算値が除算器123にて上記DYで除算され、その値DMXをBDDMXレジスタ158に、マッピングパターンX始点アドレス(MXS)をBMXLレジスタ155にそれぞれ格納し、マッピングパターンX終点アドレスをX始点アドレス(MXS)としてRAM115に書き込む(ステップS63)。

【0166】続いて、減算器118にて、RAM115より読み出されたマッピングパターンのY始点(MYS)とスクリーンメモリ4より読み出されたマッピングパターンのY終点(MYE)との減算処理が行われ、この減算値が除算器123にて上記DYで除算され、その値DMYをBDDMYレジスタ175に、マッピングパターンY始点アドレス(MYS)をBMYLレジスタ172にそれぞれ格納し、マッピングパターンY終点アドレスをY始点アドレス(MYS)としてRAM115に書き込む(ステップS64)。

【0167】その後、減算器118にて、RAM115より読み出された半透明係数値の始点(TPS)とフレームメモリ6より読み出された半透明係数値の終点(TPE)との減算処理が行われ、この減算値が除算器123にて上記DYで除算され、その値DTPをBDDTPレジスタ181に、半透明係数値の始点アドレス(TPS)をBTPLレジスタ180にそれぞれ格納し、半透明係数値の終点アドレス(TPE)を半透明係数値の始点アドレス(TPS)としてRAM115に書き込む(ステップS65)。

【0168】そして、Z値をBZレジスタ127に転送した後、スタート信号(RUN)がくるまで待機し(ステップS66、S67)、RUN信号がくるとステップS68に進む。

【0169】ステップS68において、BDDTPレジスタ181の値をDDTPレジスタ183に、BDDMYレジスタ175の値をDDMYレジスタ176に、BDDMXレジスタ158の値をDDMXレジスタ159に、BDDXレジスタ151の値をDDXレジスタ152に格納する。そして、BSYLレジスタ132の値をSYLレジスタ133に、BSXLレジスタ138の値をSXLレジスタ150に、BMXLレジスタ155の値をMXLレジスタ157に、BMYレジスタ172の値をMYLレジスタ174に格納する。更に、BZレジスタ127の値をZレジスタ128に、DYレジスタ129の値をカウンタ130に、カウンタの値(FL1)をフリップフロップ131に設定し、ステップS69に進む。

【0170】続いて、ステップS69にて、補間演算回路66、75、85を起動し、補間演算を行い、ステップS70にて、全ての辺の処理が終了したか否か判断され、全ての辺の処理が終了していない場合には、ステップS61に戻り、前述の動作を繰り返す。全ての辺の処

理が終了すると、外形処理装置7の動作を終える。

【0171】次に、この発明に用いられる内部描画処理装置9の具体的実施例について、図13に従い更に説明する。前述した外形処理装置8にて算出したポリゴンの外形、マッピングパターン情報及び半透明係数値データに基づいて、Yアドレス毎に始点から終点までのポリゴンのマッピングパターン情報データ及び半透明係数値データを内部描画処理装置9で求める。

【0172】フレームメモリ8よりポリゴン図形の始点、終点アドレス(XS, XE)を読み出す毎に第3カウンタ503をカウントアップし、ユニット部504、パラメータ演算部530に夫々フレームメモリ8から読み出したパラメータをセットする。

【0173】ユニット部504の各ユニット番号はZ値の順番に対応し、各ユニットはユニット番号に対応するZ値の順番を持つポリゴンのポリゴン図形の始点、終点アドレス(XS, XS)を持ち、第2カウンタ502からのCRT12の水平ドットアドレスを受取り、そのアドレスの始点(XS)と終点(XE)が、アドレスの中に含まれるか否かをプライオリティエンコード650に転送する。

【0174】このユニット部504の各ユニットは、例えば図14のように構成される。第2カウンタ502よりCRT12の水平ドットアドレスが比較器504d、504eの一方に与えられる。また、フレームメモリ8からのアドレスの始点(XS)、終点(XE)がそれぞれレジスタ504b、504cに与えられる。そして、この始点、終点(XS, XE)値が比較器504d、504eの他方の入力として与えられ、この比較器504d、504eにて、CRT12の水平ドットアドレスと始点(XS)と終点(XE)アドレスとが比較され、その比較結果をアンド回路504fに出力する。

【0175】また、比較器504aにはZ値番号とユニット番号が与えられ、両者の比較結果をアンド回路504fに出力する。そして、半透明ポリゴンを示す半透明ポリゴンフラグがフリップフロップ504gに与えられる。

【0176】このように、各ユニットは、ユニット番号に対応するZ値の順番を持つポリゴンのポリゴン図形の始点、終点アドレス(XS, XS)が与えられ、第2カウンタ502からのCRT12の水平ドットアドレスを受取り、そのアドレスの始点(XS)と終点(XE)が、アドレスの中に含まれるか否かの結果をアンド回路504fからプライオリティエンコード650に転送する。また、フリップフロップ504gからポリゴン属性がプライオリティエンコード650に転送される。

【0177】プライオリティエンコード650は、半透明ポリゴンを除いて、各ユニットより転送された信号の中で最もプライオリティの高いユニットのアドレスをパラメータメモリ600に転送する。このプライオリティ

エンコーダ 6 5 0 は、図 1 6 に示すように構成されている。

【0178】このプライオリティエンコーダ 6 5 0 は、半透明ポリゴンフラグが格納されたフリップフロップ 5 0 4 g からの出力 (OUT 2) とアンド回路 5 0 4 f からのインバータ出力 (OUT 2) とが入力されるオアゲート群 6 5 1 と、このオアゲート群 6 5 1 からの出力を一方の入力とし、前段の出力を他方の入力とするアンドゲート群 6 5 2 とを備える。そして、このアンドゲート群 6 5 2 からの出力がエンコーダ 6 5 3 に与えられる。このエンコーダ 6 5 3 からは、半透明ポリゴンを除いて、各ユニットから転送された半透明ポリゴン以外の中で最もプライオリティの高いユニットのアドレスをパラメータメモリ 6 0 0 に転送する。

【0179】パラメータ演算部 5 3 0 は、フレームメモリ 8 よりポリゴン図形の始点、終点アドレス (XS, XE)、マッピングパターンメモリ 1 0 の始点、終点アドレス (MXS, MXE) (MYS, MYS) 及び半透明係数値始点、終点アドレス (TPS, TPE) を受取、アドレス補間処理部 8 0 0 に必要なパラメータに作り替え、パラメータメモリ 6 0 0 に転送する。

【0180】このパラメータ演算部 5 3 0 は、例えば図 1 5 のように構成される。このパラメータ演算部 5 3 0 は、Y アドレス毎に対向する 2 辺間の X アドレス及びマッピングパターンのアドレス (XS, XE, MXS, MXE) 及び半透明係数値アドレス (TPS, TPE) をフレームメモリ 8 より読み出す。即ち、この実施例においては、水平走査信号に同期して、その垂直位置としての Y アドレスに対応するポリゴンの外形を示す 2 点の X の始点 (XS) と X の終点 (XE) とマッピングパターンを変形したマッピングアドレス (MXS, MYS)

(MXE, MYE) と半透明係数値を変形した半透明係数値アドレス (TPE, TPS) をフレームメモリ 8 から読み出す。そして、レジスタ 5 3 1 に XS、レジスタ 5 3 2 に XE、レジスタ 5 3 3 に MXS、レジスタ 5 3 4 に MXE、レジスタ 5 3 5 に MYS、レジスタ 5 3 6 に MYE、レジスタ 5 4 2 に TPS、レジスタ 5 4 2 に TPE が書き込まれる。

【0181】そして、減算器 5 3 7 にレジスタ 5 3 1、レジスタ 5 3 2 から XS、XE のデータがそれぞれ与えられ、両者間の距離 DX が算出される。この DX は除算器 5 4 0、5 4 1、5 4 5 に供給される。

【0182】また、減算器 5 3 8 には、レジスタ 5 3 3、レジスタ 5 3 4 から MXS、MXE がそれぞれ与えられ、この減算器 5 3 9 からの演算結果 MYE - MYS が除算器 5 4 1 へ供給される。

【0183】更に、減算器 5 4 4 には、レジスタ 5 4 2、レジスタ 5 4 3 から TPS、TPE がそれぞれ与えられ、この減算器 5 4 4 からの演算結果 (TPE - TPS) が除算器 5 4 4 に与えられる。

【0184】この除算器 5 4 0、5 4 1、5 4 5 にて、 $(MXE - MXS) / DX$ 、 $(MYE - MYS) / D$ 、 $(TPE - TPS) / DX$  の除算が夫々行われ、この値 (DDMX)、(DDMY)、(DDTP) と MXS、MYS 及び XS がパラメータメモリ 6 0 0 に書き込まれる。パラメータメモリ 6 0 0 は、図 1 9 のような構成でパラメータ演算部 5 5 0 で演算された XS、DDMX、DDMY、及び MXS、MYS、TPS の値を Z 値の値の小さい順位で格納する。

10 【0185】前述したように、第 1 カウンタ 5 0 1 は、パラメータセットの信号を受けることにより、1 カウントアップし、パラメータをセットするユニット部の選択とパラメータメモリ 6 0 0 のアドレスを生成する。

【0186】第 2 カウンタ 5 0 2 は CRT 1 2 の水平ドットアドレスを発生し、全てのユニット部 5 0 4、アドレス補間処理部 8 0 0 に転送する。

【0187】また、フレームメモリ 8 のアドレスは第 3 カウンタ 5 0 3 にて生成され、カウンタ値に基づいてアクセスする。

20 【0188】アドレス補間処理部 8 0 0 は、パラメータメモリ 6 0 0 から XS、DDMX、DDMY、DDTP 及び MXS、MYS データと第 2 カウンタ 5 0 2 より現処理点の X アドレス値を取り込む。減算器 8 0 1 にて、現処理点の X アドレス値から XS を減算し、この値が乗算器 8 0 2、8 0 3 へ与えられる。この乗算器 8 0 2 の一方の入力には、パラメータメモリ 6 0 0 から DDMX が与えられ、乗算器 8 0 2 にて、 $DDMX * (\text{現処理点の X アドレス値} - XS)$  の演算が行われ、この演算結果が加算器 8 0 5 に供給される。そして、この加算器 8 0 5 にはパラメータメモリ 6 0 0 より MXS が与えられ、乗算器 8 0 2 の演算結果に始点のデータが加算され、補間演算が行われる。この補間されたデータが半透明処理装置 1 1 へ送られる。

30 【0189】また、乗算器 8 0 3 の一方の入力には、パラメータメモリ 6 0 0 から DDMY が与えられ、この乗算器 8 0 3 にて、 $DDMY * (\text{現処理点の X アドレス値} - XS)$  の演算が行われ、この演算結果が加算器 8 0 4 に供給される。そして、この加算器 8 0 4 にはパラメータメモリ 6 0 0 より MYS が与えられ、乗算器 8 0 3 の演算結果に始点のデータが加算され、補間演算が行われる。この補間されたデータが半透明処理装置 1 1 に送られる。

【0190】乗算器 8 0 6 の一方の入力には、パラメータメモリ 6 0 0 から DDTP が与えられ、乗算器 8 0 6 にて  $DDTP * (\text{現処理点の X アドレス値} - XS)$  の演算が行われ、この演算結果が加算器 8 0 7 に供給される。

40 【0191】そして、この加算器 8 0 7 にはパラメータメモリ 6 0 0 より TPS が与えられ、乗算器 8 0 6 の演算結果に始点データが加算され、補間演算が行われる。

この補間されたデータは半透明処理装置 11 に与えられる。

【0192】一方、プライオリティエンコーダ 650 からは、半透明ポリゴンである場合、すなわち、半透明フラグが立っている場合には、半透明エンコーダ 660 にそのデータを出力する。この半透明エンコーダ 660 は、半透明フラグの立った優先順位が一番高いポリゴンの番号を出力するもので、図 17 に示すように構成される。

【0193】この半透明エンコーダ 660 は、プライオリティエンコーダ 650 から出力がインバータ 661 を介して、前段の出力を他方の入力とするアンドゲート群 162 の一方の入力に与えられる。このアンドゲート群からの出力がエンコーダ 663 に与えられ、このエンコーダ 663 から、半透明フラグの立った優先順位が一番高いポリゴンの番号をコンパレータ 661 に出力する。

【0194】また、コンパレータ 661 には、プライオリティエンコーダ 650 から出力が与えられ、このコンパレータ 661 にて、可視なポリゴンの番号を比較して、半透明ポリゴンの方が優先順位が高い時には、半透明フラグを立て、そのフラグを半透明処理装置 11 に送

る。

【0195】一方、パラメータメモリ 600 と等しく、半透明のポリゴンの時のみポリゴン番号すなわち、優先番号に対応する半透明カラーメモリ 662 のアドレスにルックアップテーブル (LUT) アドレスを書き込み、この半透明カラーメモリ 662 は、半透明エンコーダによりアクセスされ、LUT アドレスを半透明処理装置 11 へ転送する。

【0196】また、CRT 12 へ表示するためのスクリーンアドレスの X アドレス SX は  $SX + X$  で算出される。

【0197】上述したように、半透明係数処理装置 11 には、内部描画処理装置 9 から出されたポリゴンの変形に対応して基本パターンが変形されたマッピングパターンメモリアドレス (MX, MY) と、半透明係数値 (TP)、及び半透明ポリゴン LUT アドレス (TCOL) 値が与えられる。そして、内部描画処理装置 9 から出力されたマッピングパターンメモリアドレス (MX, MY) に従いマッピングパターンメモリ 10 がアクセスされ、そのデータが半透明処理装置 11 に転送される。半透明処理装置 11 では、半透明ポリゴン以外のカラー情報を格納したルックアップテーブルメモリがアクセスされ、ルックアップテーブルメモリからそのアドレスに対応した R、G、B 等の色情報等のデータが読み出される。

【0198】一方、内部描画処理装置 9 から半透明係数値 (LTP) 及び半透明ポリゴン LUT アドレス (TCOL) 値が半透明処理装置 11 に与えられる。TCOL 値に従い、半透明ルックアップテーブルメモリがアクセ

スされ、そのアドレスに対応した半透明ポリゴンの R、G、B 等の色情報等のデータが読み出される。

【0199】半透明ルックアップテーブルメモリ 118 からの半透明ポリゴンの R、G、B の色値と半透明係数値 (LTP) とがそれぞれ乗算され、半透明ポリゴンの色が算出される。

【0200】更に、半透明ポリゴンと半透明ポリゴンを通したポリゴンの色が加えられ、そのドットの色が算出される。そして半透明ポリゴンか否かを示すフラグに応じて、半透明ポリゴンであれば、半透明ポリゴンと半透明ポリゴンを通した色が加えられたドットの色を出力し、CRT 12 へそのデータを与える。又、半透明ポリゴンでなければ、通常のポリゴンデータが出力され、そのポリゴンが CRT 12 に表示される。

【0201】これら各回路はコントローラ 50 にて全体をコントロールされ、このコントローラ 50 は、図 22、23 のフローチャートに従って全体をコントロールする。

【0202】次に、この実施例の内部描画処理装置 9 の動作につき図 22 及び図 23 に従い更に説明する。図 22 はパラメータセット動作を示すフローチャート、図 23 はアドレス補間演算部及び半透明処理装置 11 の動作を示すフローチャートである。

【0203】この実施例においては、フレームメモリ 8 には、Z 値の小さい順に 512 のポリゴンが格納されている。内部描画処理装置 9 の動作を開始すると、まず、フレームメモリ 8 のアドレスを生成する第 3 カウンタ 503 及びパラメータメモリ 600 のアドレスを生成する第 1 カウンタ 501 を初期化し (ステップ S80)、続いて、第 1 カウンタ 501 をカウントアップした後 (ステップ S81)、この第 1 カウンタ 501 の値がパラメータメモリ 600 に格納されるポリゴン数以内か、この実施例では 255 以内か否か判断され、格納されるポリゴン数以内の場合にはステップ S83 に進み、ポリゴン数がオーバーした場合にはこのパラメータセット動作を終了する (ステップ S82)。

【0204】そして、ステップ S83 にて、フレームメモリ 8 より X 始点アドレス (XS) 及び X 終点アドレス (XE) を読み出し、ユニット部のレジスタ 504b、504c にそれぞれ格納する。

【0205】続いて、ステップ S84 にて、フレームメモリ 8 より X 始点アドレス (XS) 及び X 終点アドレス (XE)、マッピングパターンメモリの始点アドレス (MXS、MYS) 及び終点アドレス (MXE、MYE)、及び半透明係数値の始点、終点アドレス (TPS、TPE)、DDMX、DDMY、DDTP をそれぞれ読み出し、パラメータ演算部 530 に転送した後ステップ S85 に進む。

【0206】ステップ S85 において、パラメータ演算部 530 にて、各パラメータを演算し、算出された各パ

ラメータを第 1 カウンタ 5 0 1 が示すアドレス値に従いパラメータメモリ 6 0 0 に格納する。

【0 2 0 7】そして、第 3 カウンタ 5 0 3 をカウントアップし（ステップ S 8 6）、第 3 カウンタ 5 0 3 の値がフレームメモリ 8 に格納されているポリゴン数、すなわち、この実施例においては 5 1 2 以内か否か判断され、5 1 2 以内の場合には、ステップ S 8 1 に戻り、前述した動作を繰り返す。第 3 カウンタ 5 0 3 が 5 1 2 を越えるとパラメータセット動作を終了する。

【0 2 0 8】続いて、アドレス補間演算が行われる。まず、第 2 カウンタ 5 0 2 のカウンタ値を初期化した後（ステップ S 9 0）、第 2 カウンタ 5 0 2 をカウントアップし（ステップ S 9 1）、その第 2 カウンタ 5 0 2 の値をユニット部 5 0 4 の各ユニットに転送する（ステップ S 9 2）。

【0 2 0 9】ユニット部 5 0 4 の各ユニットにおいて、レジスタ 5 0 4 b、5 0 4 c に格納されている X 始点アドレス（XS）及び X 終点アドレス（XE）と第 1、第 3 カウンタ 5 0 1、5 0 3 に基づく出力をプライオリティエンコーダ 6 5 0 に出力する（ステップ S 9 3）。

【0 2 1 0】そして、プライオリティエンコーダ 6 5 0 は優先順位のもっとも高いアドレスをパラメータメモリ 6 0 0 へ転送する（ステップ S 9 4）。パラメータメモリ 6 0 0 はプライオリティエンコーダ 6 5 0 の示すアドレスのデータをアドレス補間演算処理部 8 0 0 へ出力する（ステップ 9 5）。

【0 2 1 1】ステップ S 9 6 において、アドレス補間演算処理部 8 0 0 は、パラメータメモリ 6 0 0 より XS、DDMX、DDMY、DDTP 及び MXS、MYS データを、また第 2 カウンタ 5 0 2 より現処理点の X アドレス値を取り込む。そして、 $DDMX * (現処理点の X アドレス値 - XS) + MXS$  の演算、 $DDMY * (現処理点の X アドレス値 - XS) + MYS$  の演算、 $DDTP * (現処理点の X アドレス値 - XS) + TPS$  の演算がそれぞれ行われ、この補間されたデータは半透明処理装置 1 1 に与えられる。又、左辺、右辺のマッピングパターンメモリ 1 0 の値と補間されたマッピングパターンメモリアドレスを半透明処理装置 1 1 へ与えられる。

【0 2 1 2】続いて、ステップ S 9 7 にて、半透明処理装置 1 1 において、マッピングパターンメモリアドレス（MX、MY）に従い、マッピングパターンメモリ 1 0 をアクセスする。即ち、内部描画処理装置 9 から出力されたマッピングパターンメモリアドレス（MX、MY）値により、マッピングパターンメモリ 1 0 をルックアップテーブルとしてそのアドレスに対応した R、G、B 等の色情報等のデータを読み出す。

【0 2 1 3】内部描画処理装置 9 からの半透明係数値（TP）と色値（R、G、B）をそれぞれ乗算し、色の濃淡付けを行い、その結果を CRT 1 2 に出力し、ステ

ップ S 9 8 に進む。

【0 2 1 4】ステップ S 9 8 にて、第 2 カウンタ 5 0 2 の値が CRT 1 2 の水平ドットアドレスと等しくなったか否か、この実施例では 3 2 0 になったか否か判断され、3 2 0 に達していない場合にはステップ S 9 1 に戻り前述の動作を繰り返す。そして、3 2 0 に達すると、この動作が終了する。

【0 2 1 5】このように、マッピング処理等の描画処理において、図 2 5 に示すように、マッピングパターンメモリ 1 0 のマッピングパターンをポリゴン外形の変形に対応して変形すると共に、半透明ポリゴン及び半透明ポリゴンを通して見たポリゴン図形の表示を CRT 1 2 のスクリーン面上に出力することができる。

【0 2 1 6】

【発明の効果】以上説明したように、この発明によれば、各ポリゴン端点に模様のためのマッピングの X、Y アドレスとポリゴンの半透明状態を示す半透明係数情報を持たせ、そのマッピングの X、Y アドレスと半透明係数情報に基づいて算出した透明係数により、半透明ポリゴンの色を示す画像データと半透明ポリゴンを通したポリゴンの画像データを同時に補間することで、高速にマッピングと半透明感を与えて、CRT にリアルタイムに表示することができる。

【図面の簡単な説明】

【図 1】この発明の立体画像表示装置の構成を示すブロック図である。

【図 2】この発明に用いられる半透明係数処理装置の構成を示すブロック図である。

【図 3】上記半透明係数処理装置における半透明係数演算回路の構成を示すブロック図である。

【図 4】上記半透明係数処理装置における裏面処理回路の構成を示すブロック図である。

【図 5】この発明に用いられる外形処理装置の構成を示すブロック図である。

【図 6】この発明に用いられる内部描画処理装置の構成を示すブロック図である。

【図 7】この発明に用いられる半透明処理装置の構成を示すブロック図である。

【図 8】この発明の半透明係数処理装置の動作を示すフローチャートである。

【図 9】この発明の外形処理装置の動作を示すフローチャートである。

【図 1 0】この発明の外形処理装置の動作を示すフローチャートである。

【図 1 1】この発明の内部描画処理装置の動作を示すフローチャートである。

【図 1 2】この発明に用いられる外形処理装置の具体的実施例を示すブロック図である。

【図 1 3】この発明に用いられる内部描画処理装置の具体的実施例を示すブロック図である。

【図 1 4】この発明に用いられる内部描画処理装置のユニット部の構成例を示すブロック図である。

【図 1 5】この発明に用いられる内部描画処理装置のパラメータ演算部の構成例を示すブロック図である。

【図 1 6】この発明に用いられる内部描画処理装置のプライオリティエンコーダの構成例を示すブロック図である。

【図 1 7】この発明に用いられる内部描画処理装置の半透明エンコーダの構成例を示すブロック図である。

【図 1 8】この発明に用いられるフレームメモリを示す 10 模式図である。

【図 1 9】この発明に用いられるパラメータメモリを示す模式図である。

【図 2 0】図 1 2 に示す外形処理装置の動作を示すフローチャートである。

【図 2 1】図 1 2 に示す外形処理装置の動作を示すフローチャートである。

【図 2 2】図 1 3 に示す内部描画処理装置の動作を示すフローチャートである。

【図 2 3】図 1 3 に示す内部描画処理装置の動作を示すフローチャートである。

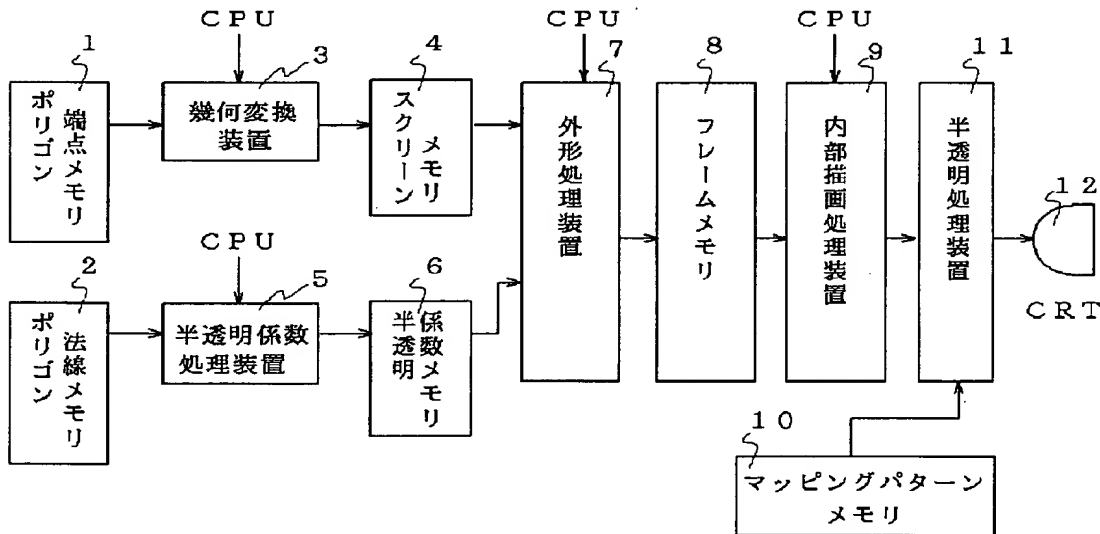
【図 2 4】ポリゴンの辺ベクトル方向の関係を示す図である。

【図 2 5】ポリゴンとマッピングの関係を示す模式図である。

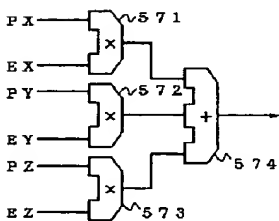
【符号の説明】

- 1 ポリゴン端点メモリ
- 2 ポリゴン法線メモリ
- 3 幾何変換装置
- 4 スクリーンメモリ
- 5 半透明係数処理装置
- 6 半透明係数メモリ
- 7 外形処理装置
- 8 フレームメモリ
- 9 内部描画処理装置
- 10 マッピングパターンメモリ
- 11 半透明処理装置
- 12 CRT

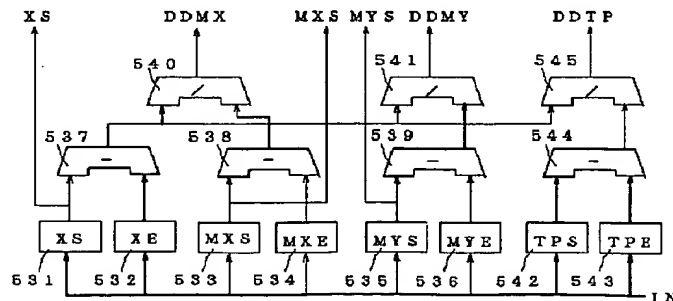
【図 1】



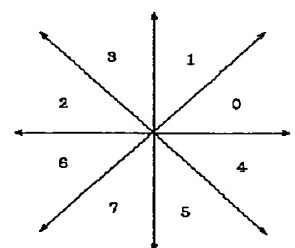
【図 4】



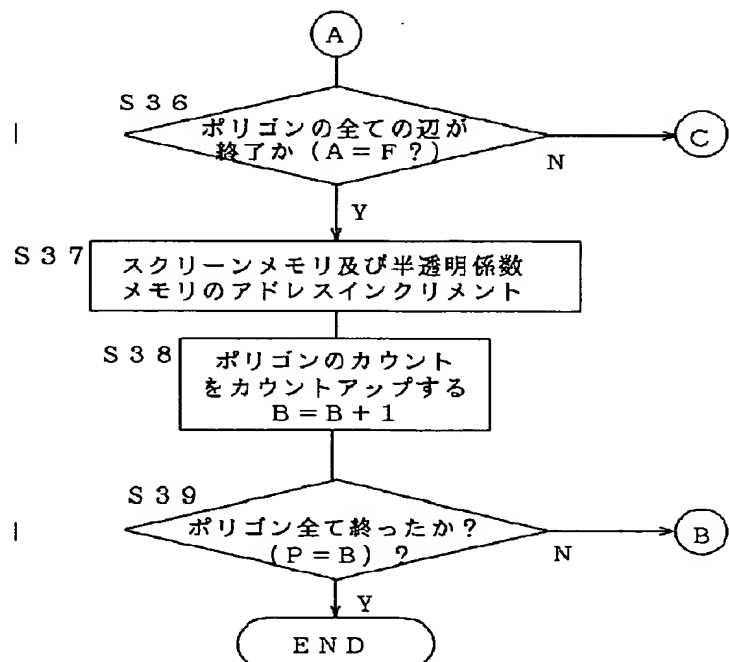
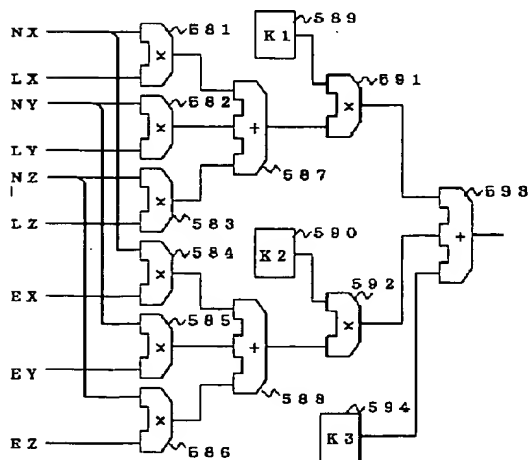
【図 1 5】



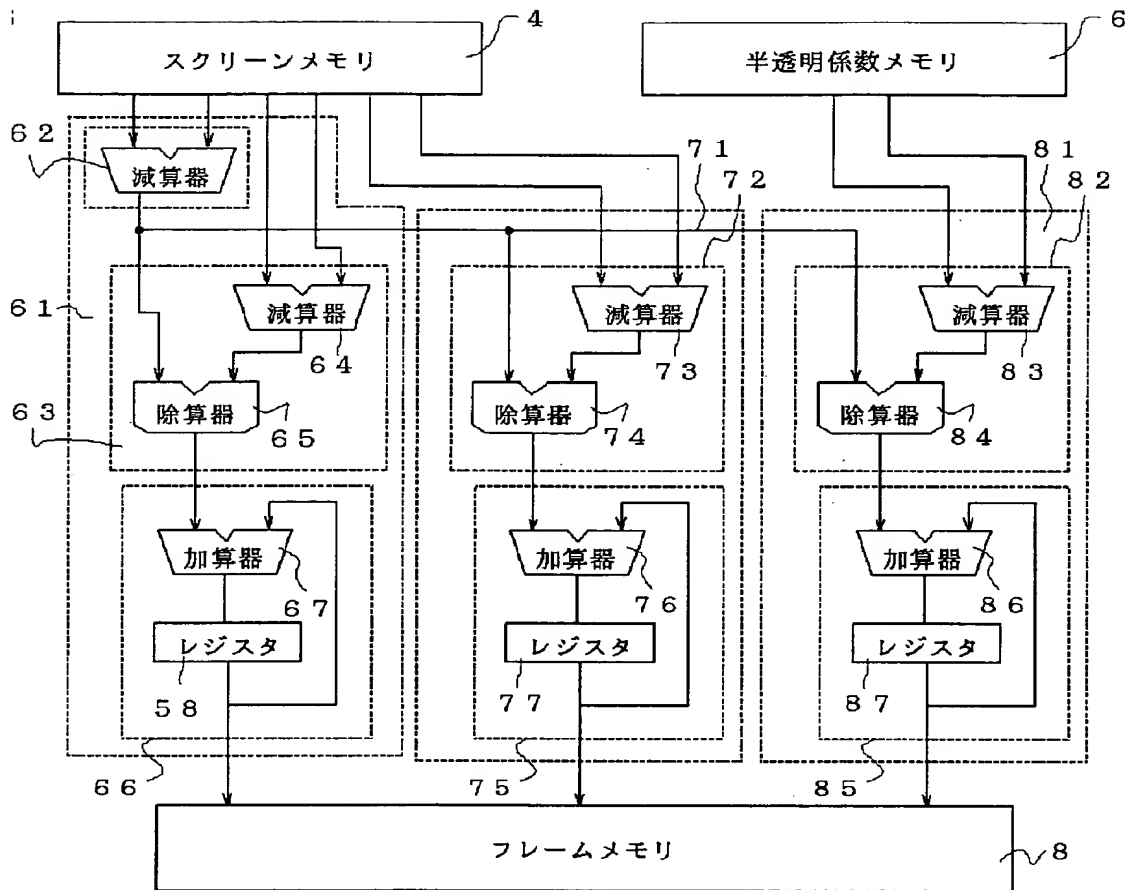
【図 2 4】



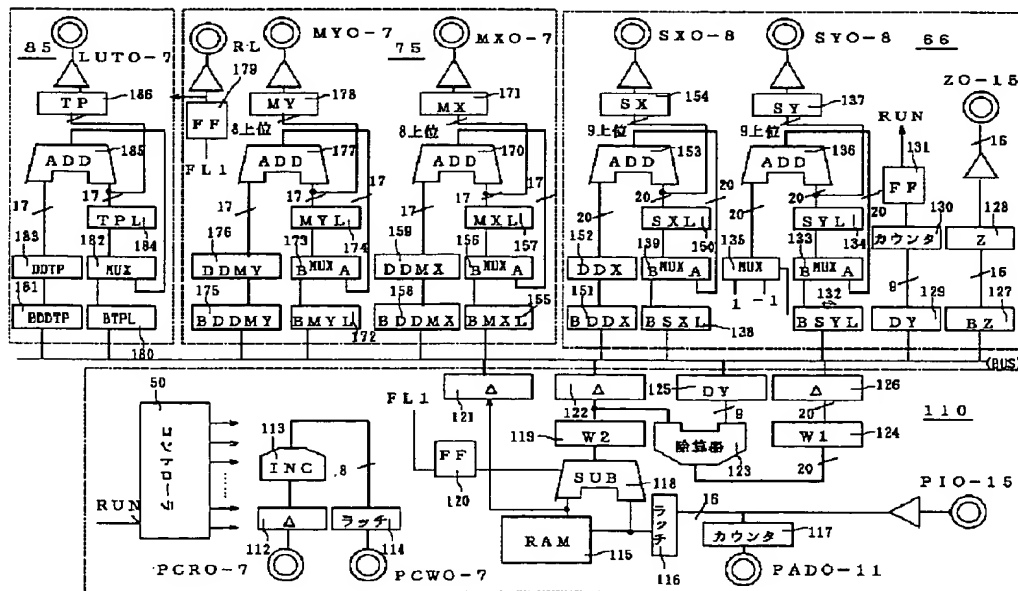
【图 10】



【図 5】



【図 12】





【图 16】

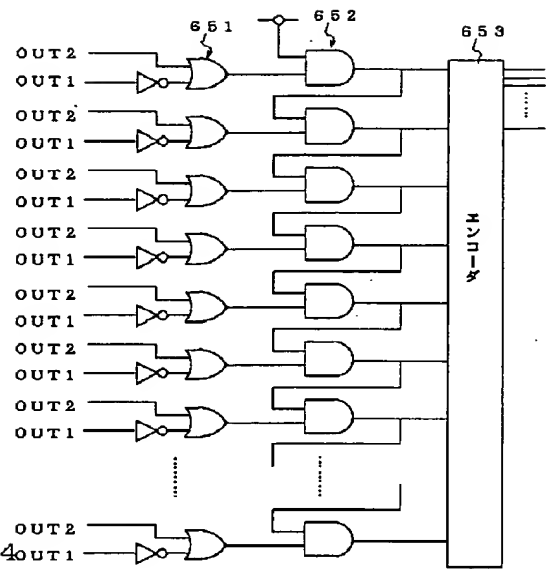
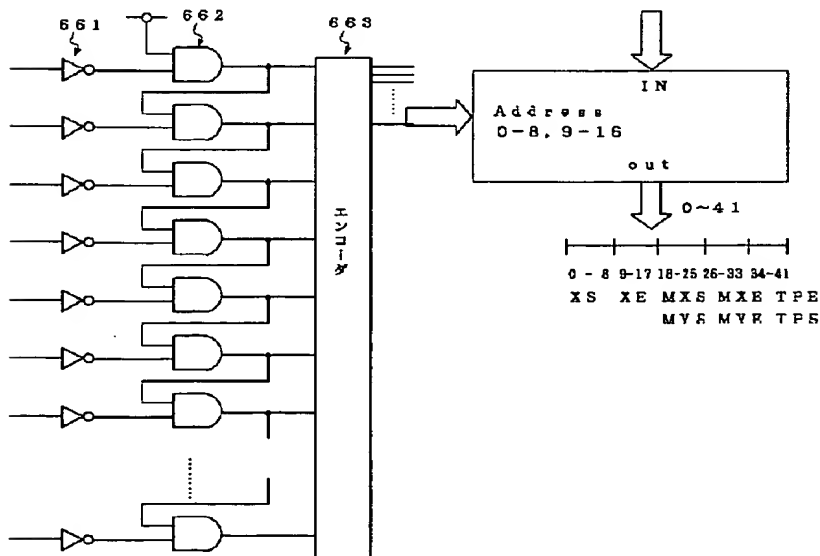


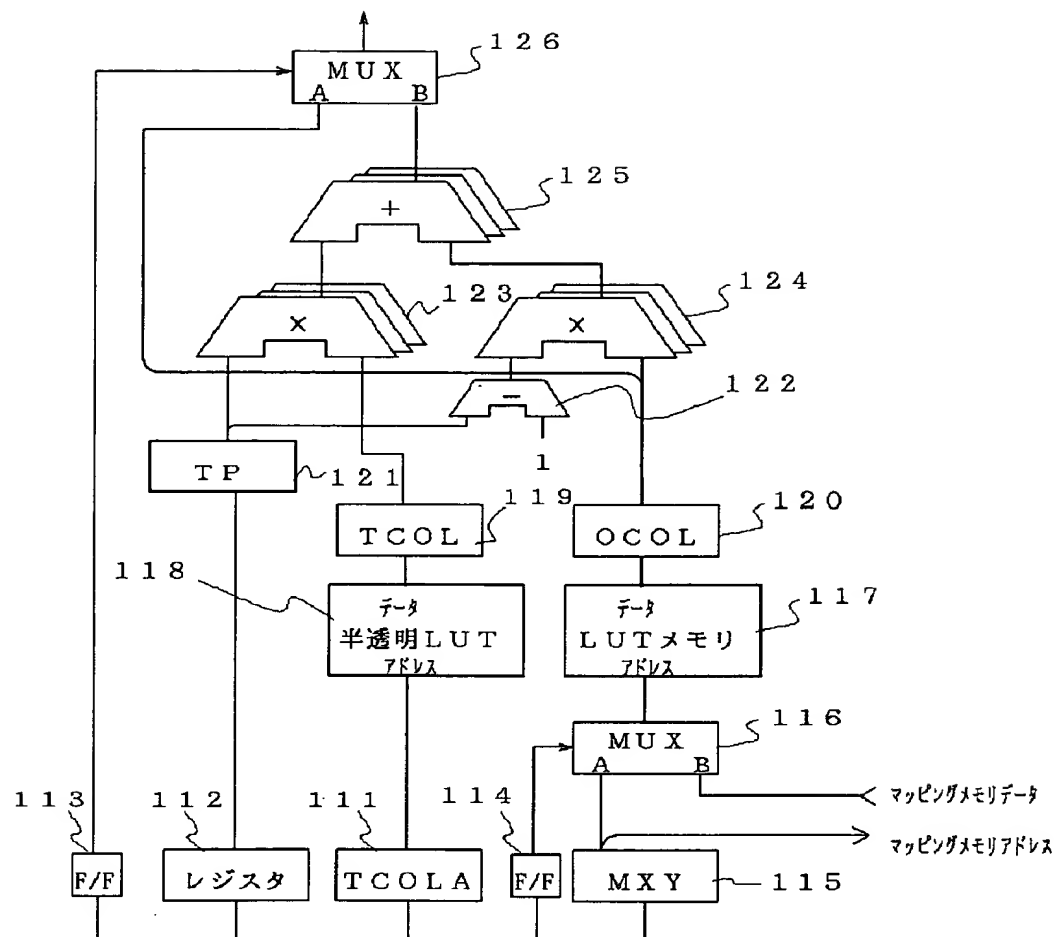
Diagram of the Address Register (AR) structure:

- Input: IN (points to the top of the Address Register)
- Output: out (points from the bottom of the Address Register to the bit fields)
- Address Range: 0-7
- Bit Fields (0-63):
  - 0-8: XS
  - 9-24: DDMX
  - 25-40: DDMY
  - 41-48: MXS
  - 49-56: MYS
  - 57-63: TPS

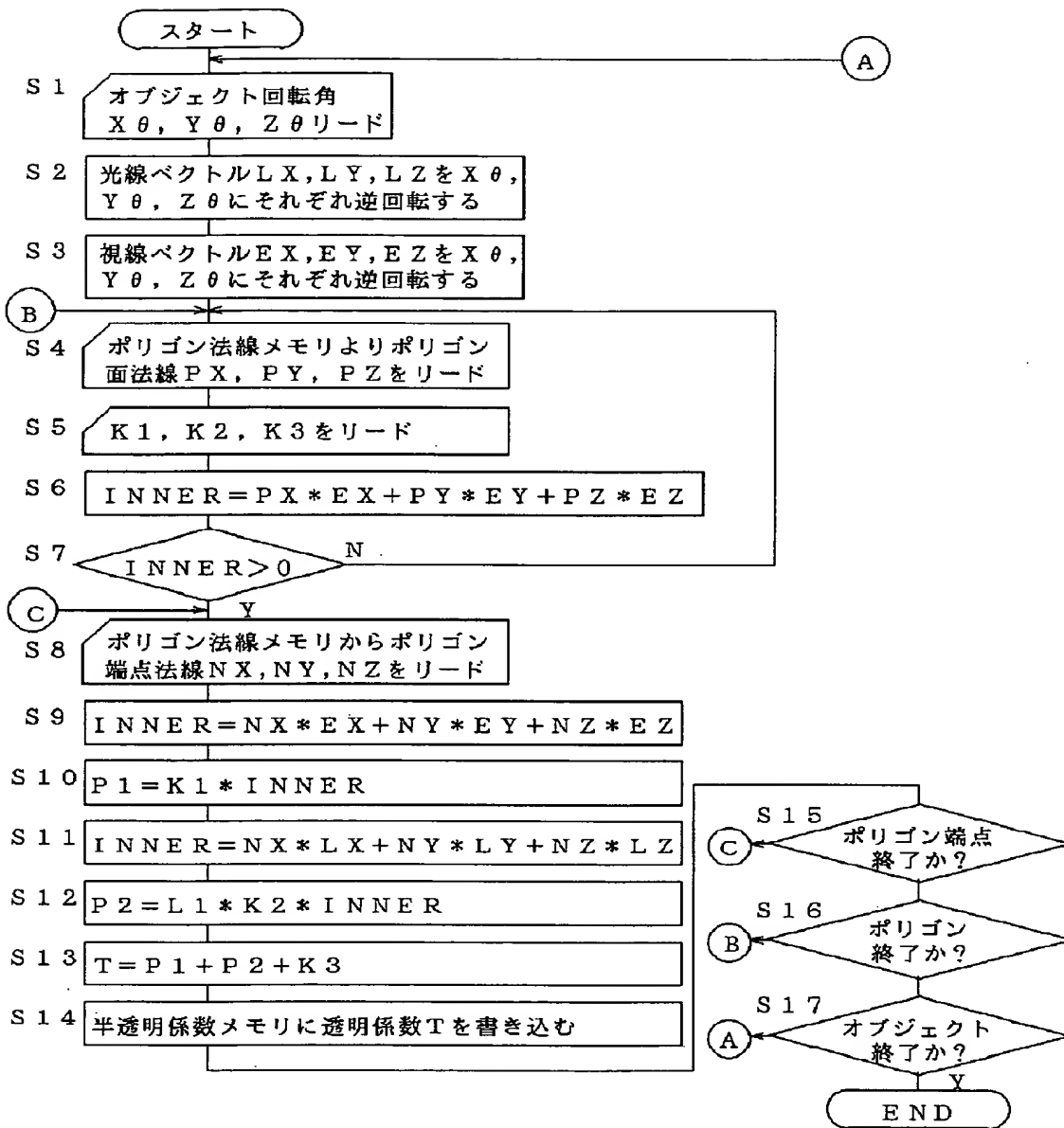
【图 18】



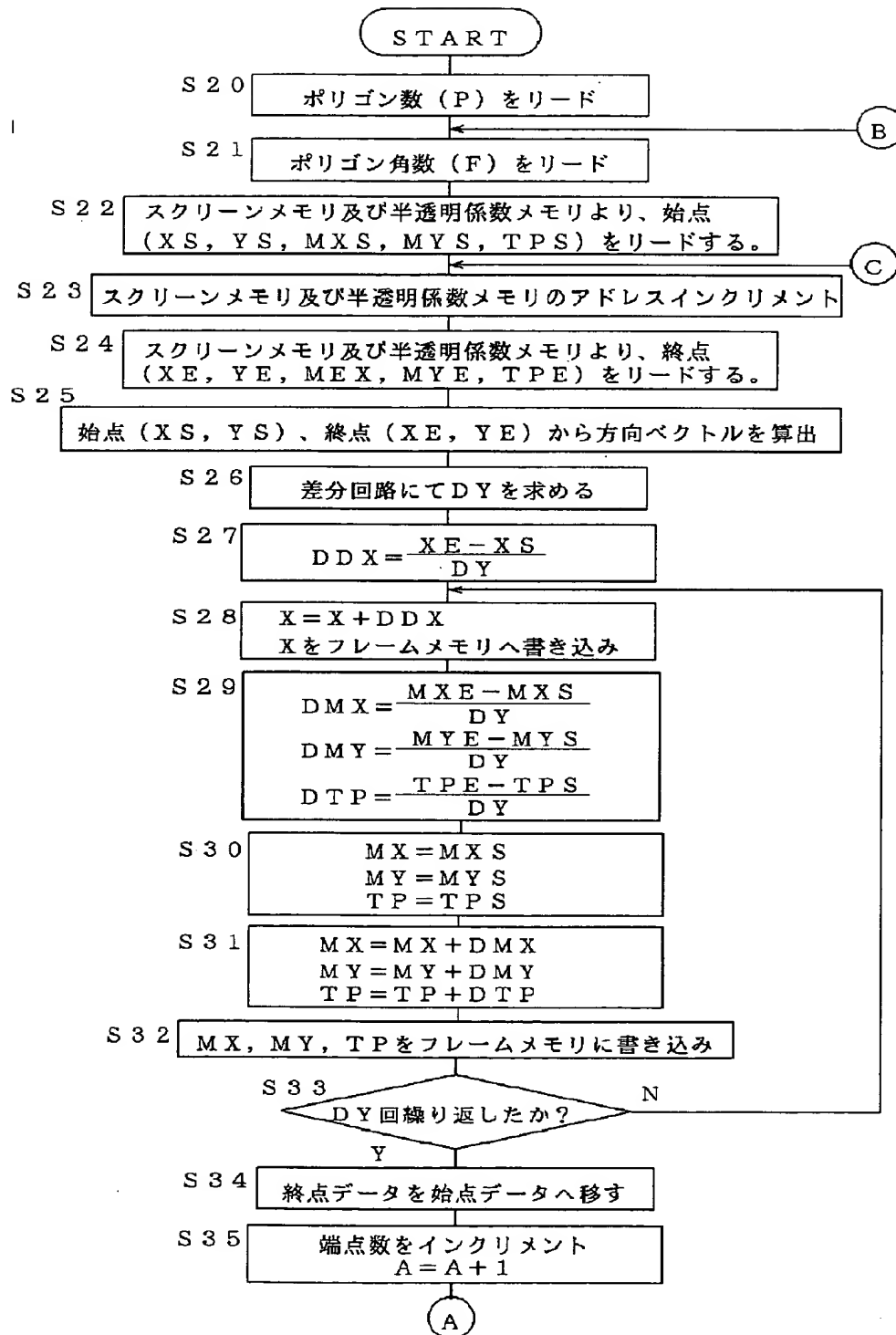
【図 7】



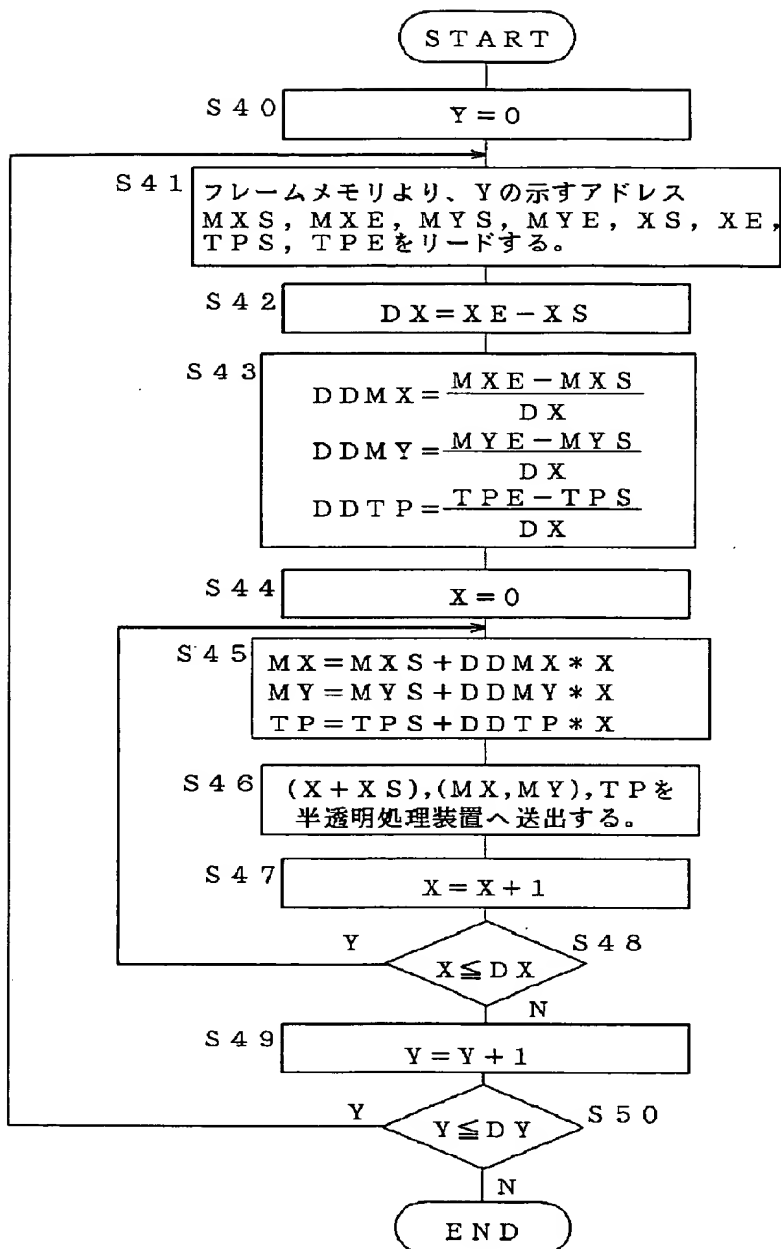
【図 8】



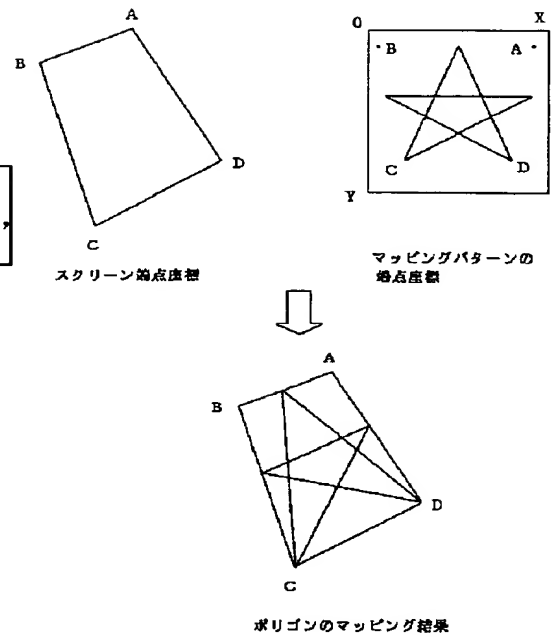
【図 9】



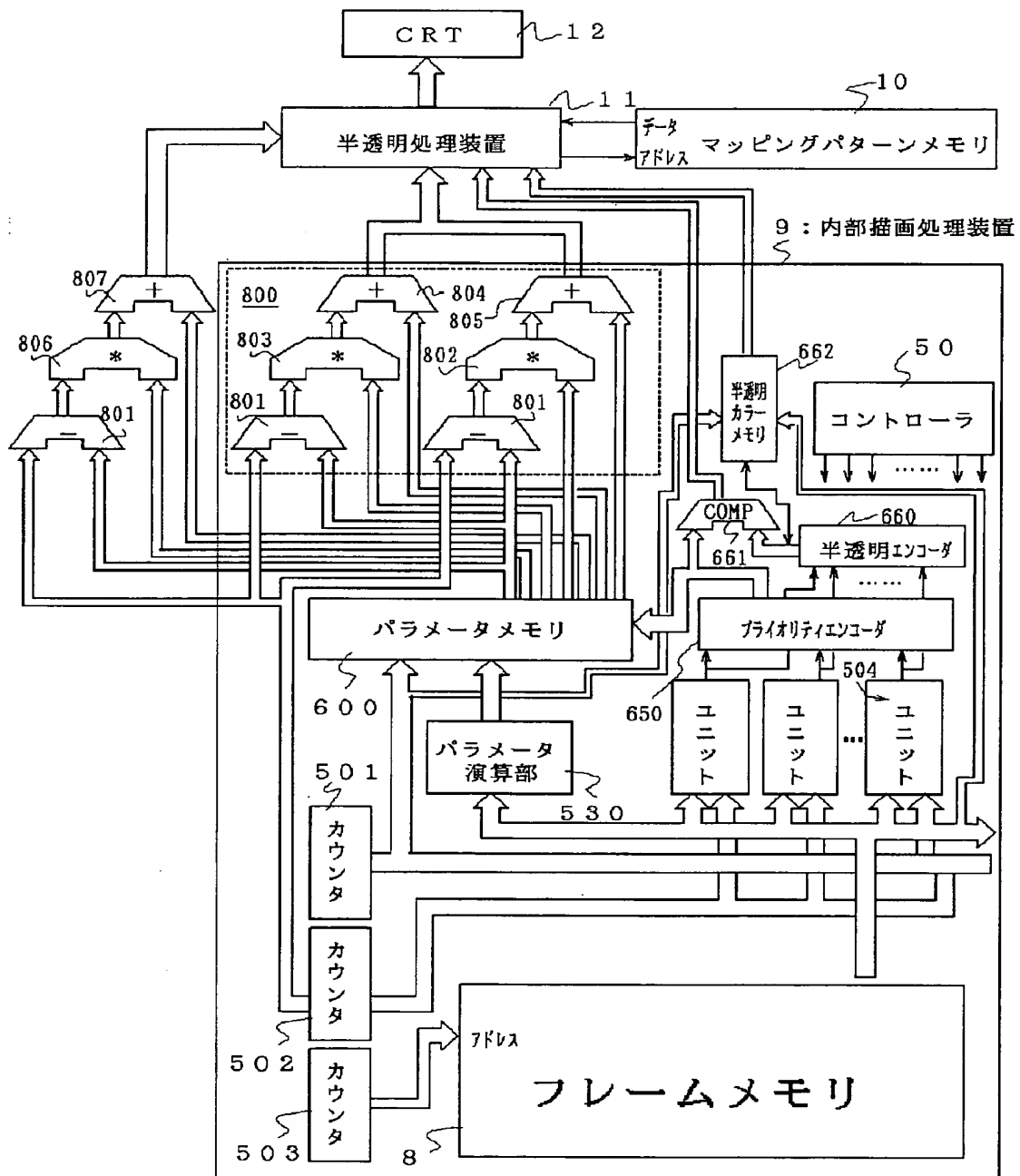
【図 11】



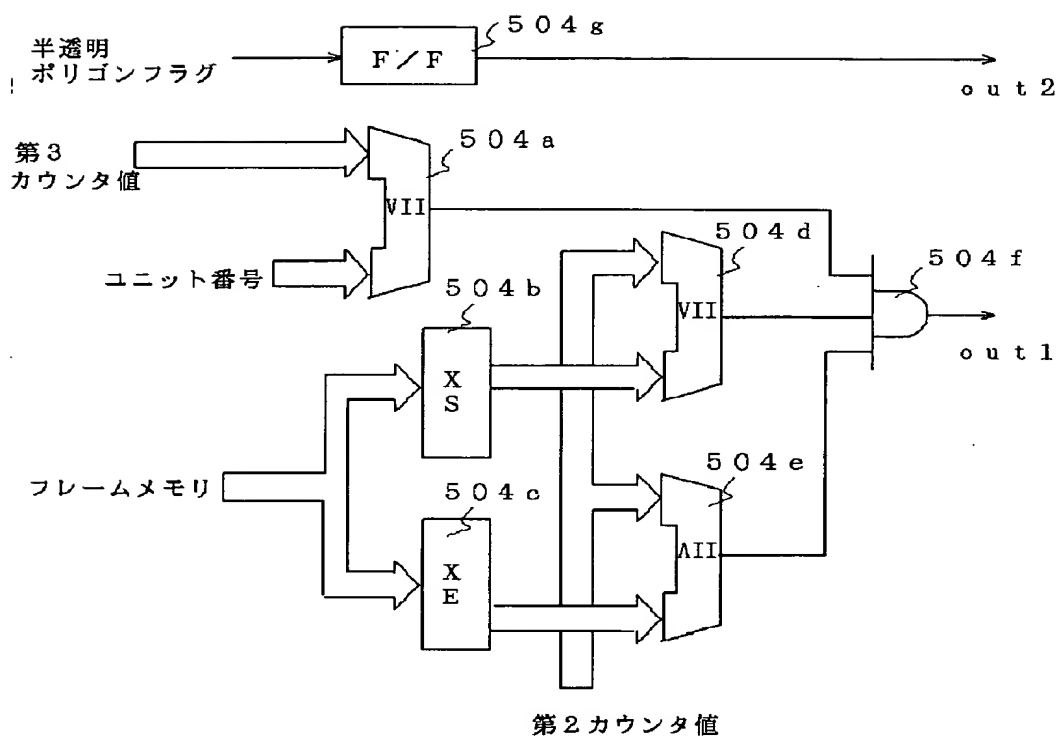
【図 25】



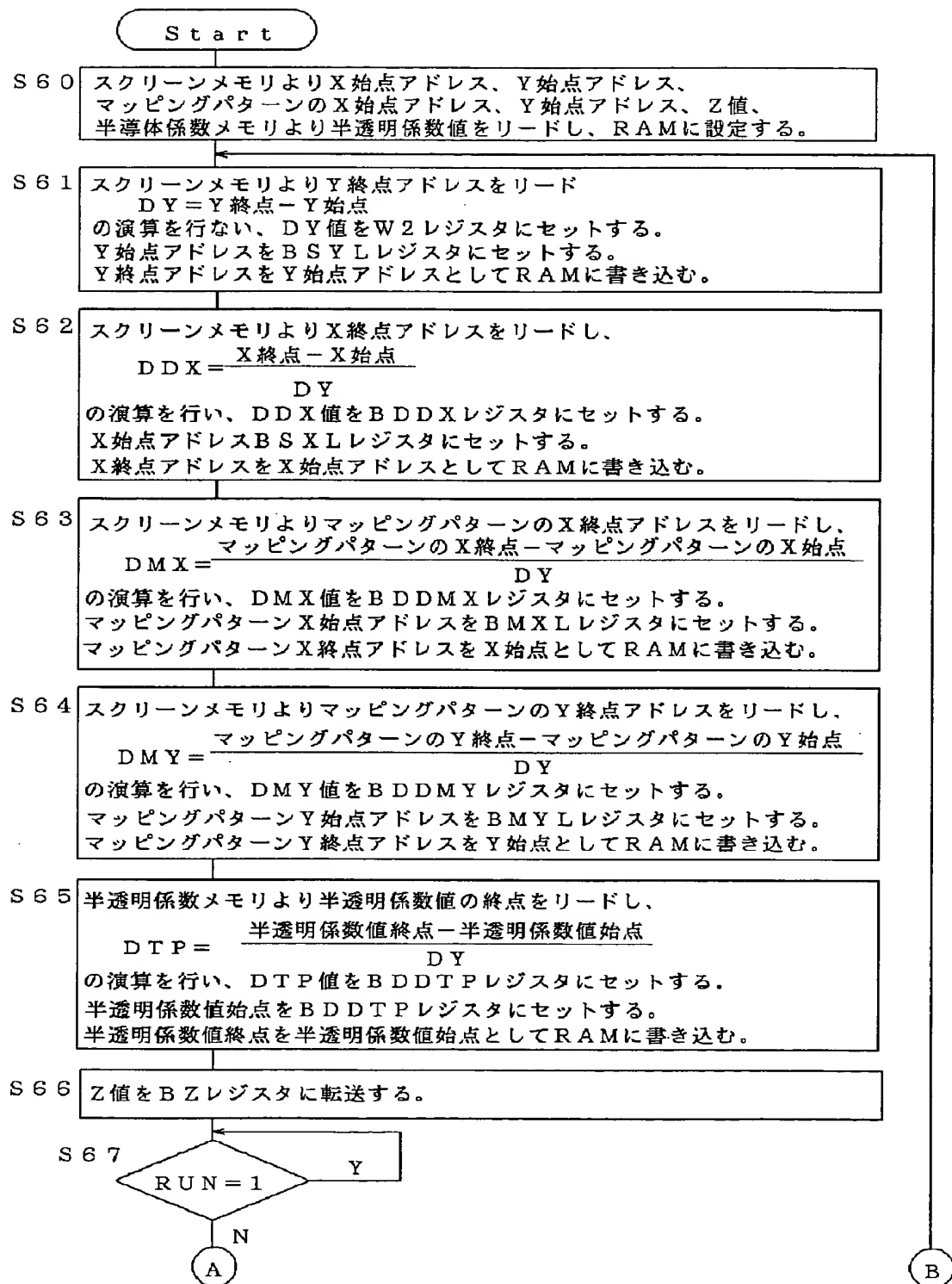
【図 1 3】



【図14】

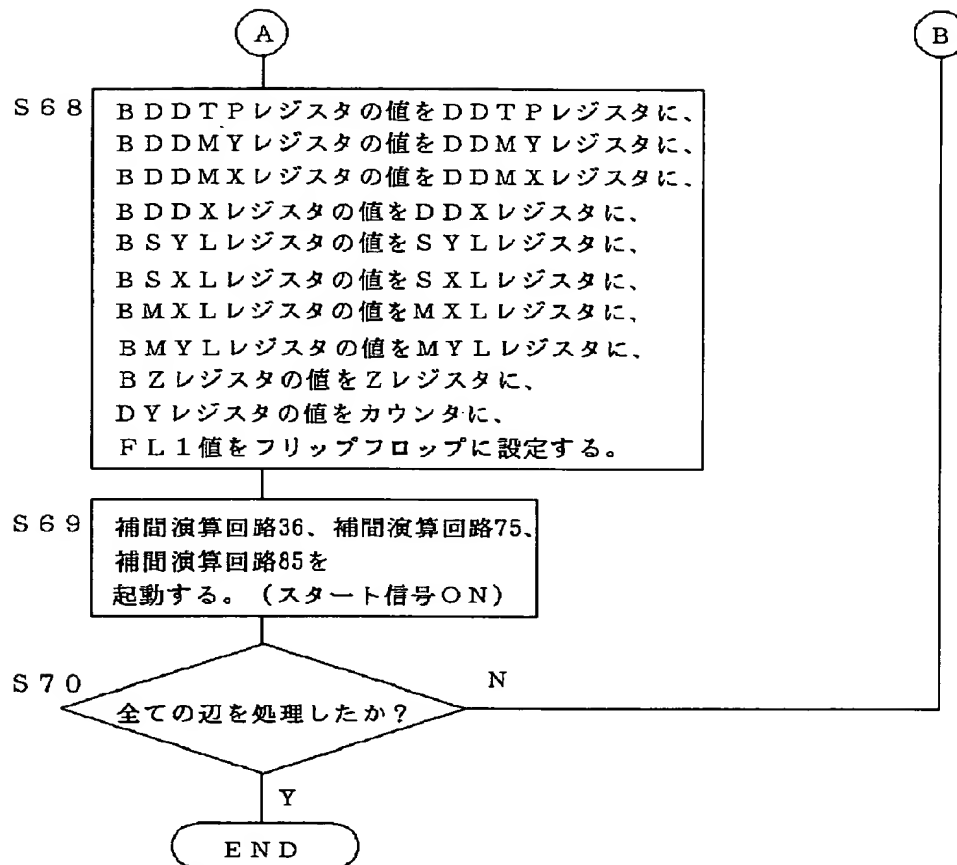


【図 20】

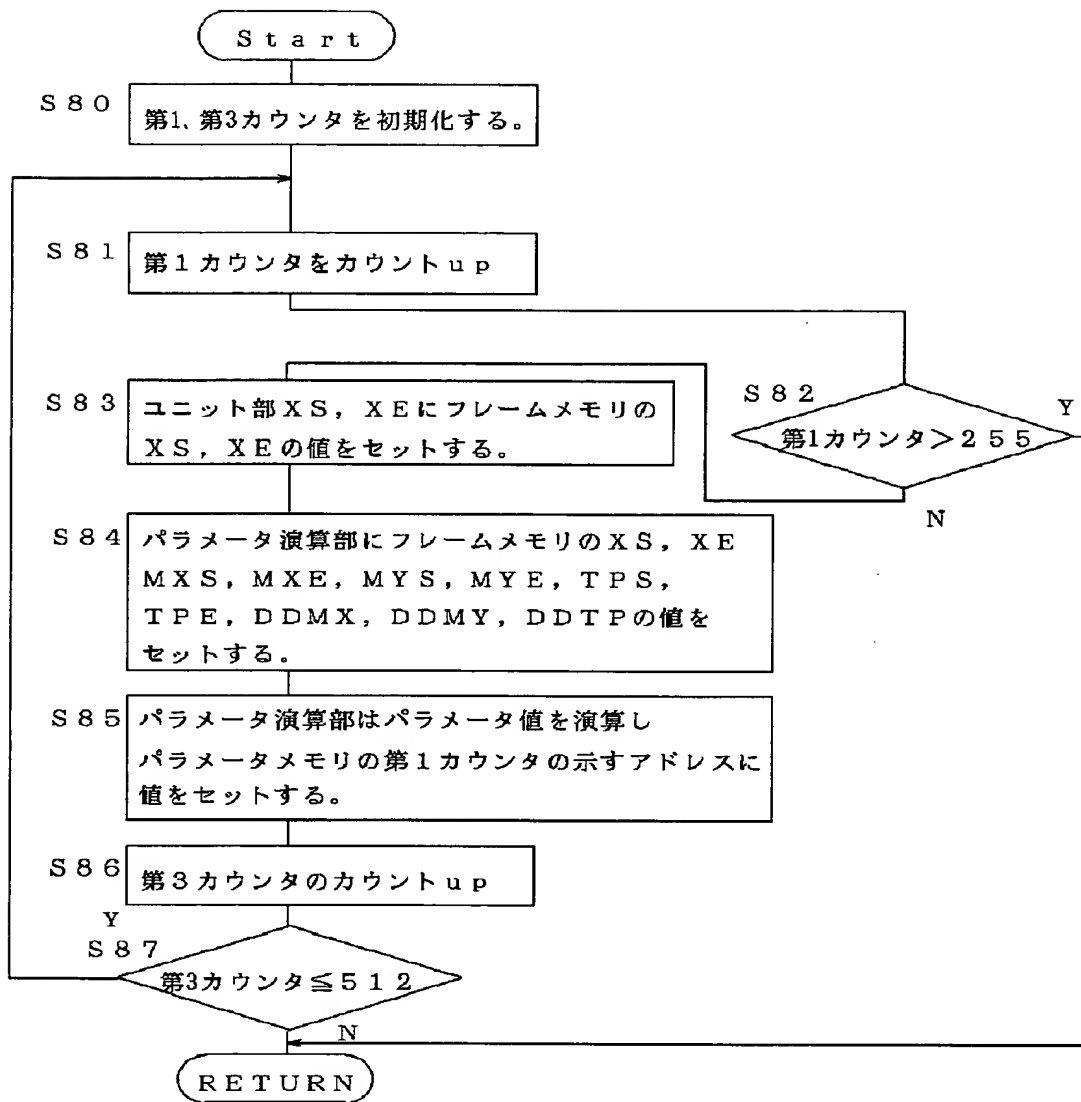




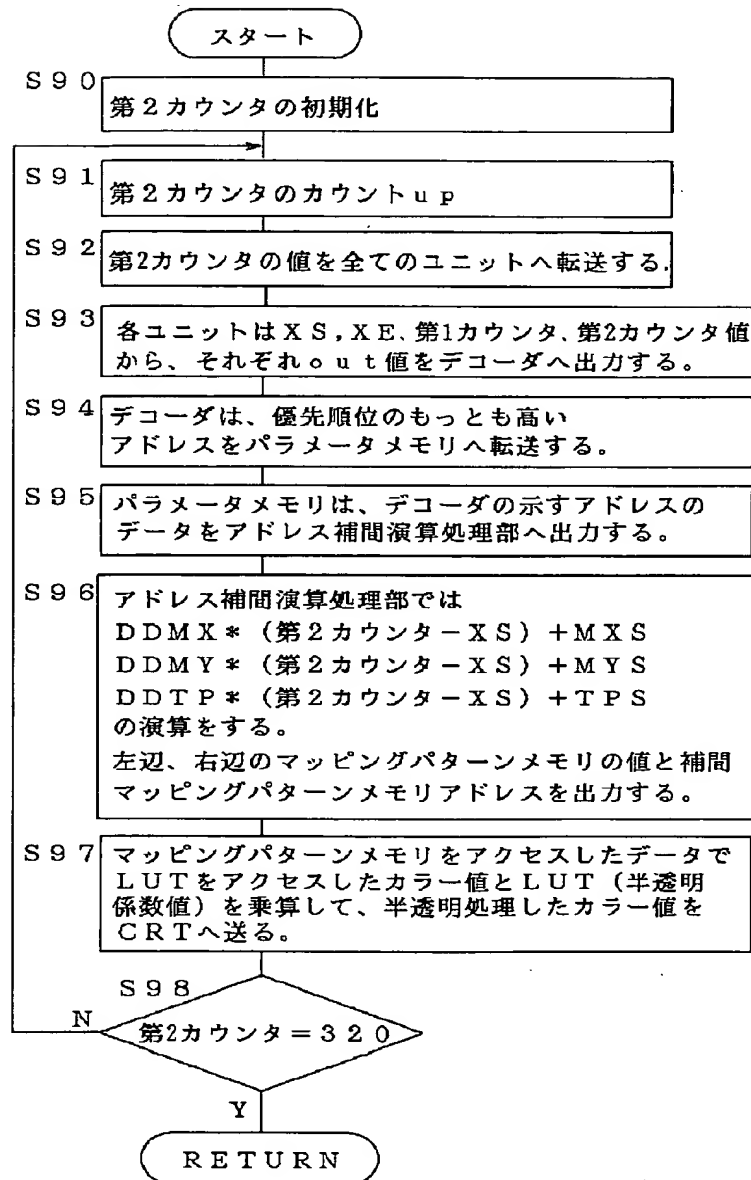
【図 2 1】



【図22】



【図 2 3】



フロントページの続き

(72) 発明者 中島 達也  
 東京都大田区中馬込 1 丁目 3 番 6 号 株式  
 会社リコー内

(72) 発明者 井澤 康浩  
 東京都大田区中馬込 1 丁目 3 番 6 号 株式  
 会社リコー内

**THIS PAGE BLANK (USPTO)**